

SON-2164

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the Patent Application of)

Kiyoshi NOMURA et al.)

Serial No.: To Be Assigned)

Filed: July 25, 2001)

For: CLOCK CIRCUIT SUPPLY)

Application Branch



#3
priority
paper
1/24/02
4/4/02

CLAIM TO PRIORITY UNDER 35 U.S.C. §119

Commissioner for Patents
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior applications filed in the following foreign country is hereby requested and the right of priority provided under 35 U.S.C. §119 is hereby claimed:

Japanese Patent Appl. No. 2000-224915 filed July 26, 2000

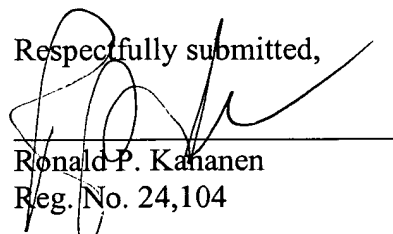
Japanese Patent Appl. No. 2000-229512 filed July 28, 2000

Japanese Patent Appl. No. 2001-174355 filed June 8, 2001

In support of this claim, filed herewith are certified copies of said original foreign applications.

Dated: July 25, 2001

Respectfully submitted,


Ronald P. Kananen
Reg. No. 24,104

RADER, FISHMAN & GRAUER P.L.L.C.
1233 20TH Street, NW
Suite 501
Washington, DC 20036
202-955-3750-Phone
202-955-3751-Fax
Customer No. 23353

501P10494500

日 本 国 特 許 庁

JAPAN PATENT OFFICE

JCS71 U.S. PRO
09/911822
07/25/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 6月 8日

出 願 番 号

Application Number:

特願2001-174355

出 願 人

Applicant(s):

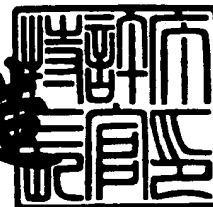
ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 6月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3057795

【書類名】 特許願

【整理番号】 0100532503

【提出日】 平成13年 6月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 29/00
H04L 7/04

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 野村 青史

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 深見 正

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 後藤 勝

【発明者】

【住所又は居所】 東京都品川区北品川6丁目7番35号 ソニー株式会社
内

【氏名】 小泉 貴義

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【先の出願に基づく優先権主張】

【出願番号】 特願2000-224915

【出願日】 平成12年 7月26日

【先の出願に基づく優先権主張】

【出願番号】 特願2000-229512

【出願日】 平成12年 7月28日

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック供給回路

【特許請求の範囲】

【請求項 1】

周波数が略固定する第 1 のクロック信号を第 1 の処理回路に供給する第 1 のクロック生成回路と、

第 2 の処理回路の処理負荷を判断する負荷判断手段と、

上記負荷判断手段の判断結果に応じて第 2 のクロック信号の周波数を可変に制御し、上記第 2 の処理回路に供給する第 2 のクロック生成回路とを有するクロック供給回路。

【請求項 2】

上記第 1 の処理回路は、伝送路を介して伝送され、所定の周波数を持つ受信信号を復調し、ビットストリーム信号を生成する復調処理回路を含み、

上記第 2 の処理回路は、上記復調処理回路によって出力された復調後のビットストリーム信号を復号処理する復号処理回路を含む

請求項 1 記載のクロック供給回路。

【請求項 3】

外部から供給される所定の周波数を持つ基準クロック信号を所定の通倍比で通倍した通倍クロック信号を生成する通倍回路をさらに有し、

上記第 1 のクロック生成回路は、上記通倍クロック信号を所定の分周比で分周し、分周信号を上記第 1 のクロック信号として供給する第 1 の分周回路を含み、

上記第 2 のクロック生成回路は、上記負荷判断手段の判断結果に応じて制御された所定の分周比で上記通倍クロック信号を分周し、分周信号を上記第 2 のクロック信号として供給する第 2 の分周回路を含む

請求項 1 記載のクロック供給回路。

【請求項 4】

上記第 1 のクロック信号を用いて受信信号を処理する上記第 1 の処理回路において、上記第 1 のクロック信号と上記受信信号とのタイミングのずれを検出し、当該検出の結果に応じて上記第 1 のクロック信号のタイミングを補正するタイミ

ング補正手段を

さらに有する請求項 1 記載のクロック供給回路。

【請求項 5】

所定の周波数を持つ入力信号を処理するための処理用クロック信号を供給するクロック供給回路であって、

上記入力信号を処理するための中間クロック信号と、上記中間クロック信号より周波数が高い第 1 のクロック信号と、上記中間クロック信号より周波数が低い第 2 のクロック信号とを生成するクロック生成手段と、

上記中間クロック信号、上記第 1 のクロック信号または上記第 2 のクロック信号の何れかを選択して、上記処理用クロック信号として上記信号処理に供給するクロック切り替え手段と、

上記選択された処理用クロック信号を用いて上記入力信号を処理し、当該処理結果に応じて、上記入力信号に対して上記処理用クロック信号の周期ずれの量を検出し、検出された上記周期ずれの量に応じて、上記クロック切り替えを制御するクロック切り替え制御手段と

を有するクロック供給回路。

【請求項 6】

上記クロック生成手段は、所定の基準周波数を持つ基準クロック信号を生成する発振手段と、

上記基準クロック信号を所定の通倍比で通倍して、通倍クロック信号を生成する通倍手段と、

上記通倍クロック信号をそれぞれ異なる分周比で分周し、上記中間クロック信号、上記第 1 のクロック信号及び上記第 2 のクロック信号をそれぞれ生成する分周手段と

を有する請求項 5 記載のクロック供給回路。

【請求項 7】

上記クロック切り替え手段は、開始時点と終了時点において上記中間クロック信号、上記第 1 のクロック信号及び上記第 2 のクロック信号の位相が揃っている所定の時間スパンを切り替え時間単位として、クロックの切り替えを行う

請求項 6 記載のクロック供給回路。

【請求項 8】

上記中間クロック信号を生成する中間分周比と、上記第 1 のクロック信号を生成する第 1 の分周比と、上記第 2 のクロック信号を生成する第 2 の分周比との最小公倍数に応じて最大計数値が設定され、上記逓倍クロック信号をカウントするカウンタを有し、

上記切り替え手段は、上記カウンタの計数値が所定の値に達するとき、上記クロックの切り替えを行う

請求項 7 記載のクロック供給回路。

【請求項 9】

上記所定の値は、0 または上記最大計数値である

請求項 8 記載のクロック供給回路。

【請求項 10】

上記クロック切り替え手段は、開始時点と終了時点において上記中間クロック信号と上記第 1 のクロック信号との位相が揃っている所定の時間スパンを第 1 の切り替え時間単位として、上記中間クロック信号と上記第 1 のクロック信号との切り替えを行い、

開始時点と終了時点において上記中間クロック信号と上記第 2 のクロック信号との位相が揃っている所定の時間スパンを第 2 の切り替え時間単位として、上記中間クロック信号と上記第 2 のクロック信号との切り替えを行う

請求項 5 記載のクロック供給回路。

【請求項 11】

上記中間クロック信号を生成する中間分周比と、上記第 1 のクロック信号を生成する第 1 の分周比との最小公倍数に応じて第 1 の最大計数値が設定され、上記逓倍クロック信号をカウントする第 1 のカウンタと、

上記中間クロック信号を生成する中間分周比と、上記第 2 のクロック信号を生成する第 2 の分周比との最小公倍数に応じて第 2 の最大計数値が設定され、上記逓倍クロック信号をカウントする第 2 のカウンタと

を有し、

上記切り替え手段は、上記第 1 のカウンタの計数値が第 1 の値に達するとき、上記中間クロック信号と上記第 1 のクロック信号との切り替えを行う第 1 の切り替え回路と、

上記第 2 のカウンタの計数値が第 2 の値に達するとき、上記中間クロック信号と上記第 2 のクロック信号との切り替えを行う第 2 の切り替え回路と

を有する請求項 1 0 記載のクロック供給回路。

【請求項 1 2】

上記第 1 の値は、0 または上記第 1 の最大計数値であり、

上記第 2 の値は、0 または上記第 2 の最大計数値である

請求項 1 1 記載のクロック供給回路。

【請求項 1 3】

所定の周波数を持つ入力信号を処理するための処理用クロック信号を供給するクロック供給回路であって、

第 1 のクロック信号と、第 1 のクロック信号より周波数が低い第 2 のクロック信号とを生成するクロック生成手段と、

上記第 1 のクロック信号または上記第 2 のクロック信号の何れかを選択して、上記処理用クロック信号として上記信号処理に供給するクロック切り替え手段と

上記選択された処理用クロック信号を用いて上記入力信号を処理し、当該処理結果に応じて、上記入力信号に対して上記処理用クロック信号の周期ずれの量を検出し、検出された上記周期ずれの量に応じて、上記クロック切り替えを制御するクロック切り替え制御手段と

を有するクロック供給回路。

【請求項 1 4】

上記クロック生成手段は、所定の基準周波数を持つ基準クロック信号を生成する発振手段と、

上記基準クロック信号を所定の通倍比で通倍して、通倍クロック信号を生成する通倍手段と、

上記通倍クロック信号をそれぞれ異なる分周比で分周し、上記第 1 のクロック

信号と上記第 2 のクロック信号とを生成する分周手段と
を有する請求項 1 3 記載のクロック供給回路。

【請求項 1 5】

上記クロック切り替え手段は、開始時点と終了時点において上記中間クロック
信号、上記第 1 のクロック信号及び上記第 2 のクロック信号の位相が揃っている
所定の時間スパンを切り替え時間単位として、クロックの切り替えを行う

請求項 1 4 記載のクロック供給回路。

【請求項 1 6】

上記第 1 のクロック信号を生成する第 1 の分周比と、上記第 2 のクロック信号
を生成する第 2 の分周比との最小公倍数に応じて最大計数値が設定され、上記通
倍クロック信号をカウントするカウンタを有し、

上記切り替え手段は、上記カウンタの計数値が所定の値に達するとき、上記ク
ロックの切り替えを行う

請求項 1 5 記載のクロック供給回路。

【請求項 1 7】

上記所定の値は、0 または上記最大計数値である

請求項 1 6 記載のクロック供給回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、例えば、ディジタル放送の受信用 L S I において、受信回路及び D
S P などの処理回路にクロック信号を供給するクロック供給回路、特に、放送信
号に対する同期ずれの量に応じて受信回路に供給するクロック信号の周波数を切
り替えることで送信信号との同期を保ち、また、処理回路の処理負荷などに応じ
て処理回路に供給するクロック信号の周波数を制御するクロック供給回路に関す
るものである。

【0 0 0 2】

【従来の技術】

ディジタル音声放送 (D A B : Digital Audio Broadcasting) の受信機では、

放送局から送られてくるある一定の周期を持つ放送信号を受信し、受信信号に応じて信号の復調、復号処理を行い、音声信号を再生する。このため、放送信号を正確に再生するため、受信回路に供給されるローカルクロック信号が放送信号に対して時間軸上同期を保つ必要がある。即ち、放送信号と同じ周波数、例えば24MHzのクロック信号を受信回路に供給する必要がある。このため、例えば、従来の受信機においては、ローカルクロック信号を生成するクロック生成回路に電圧制御発振器を用いて、時間軸上受信信号とローカルクロック信号とのオフセット量（同期ずれの量）を検出し、検出結果に応じて発振器の発振周波数を制御することで、ローカルクロック信号と放送信号との同期を保っていた。

【0003】

また、受信信号を処理する処理回路、例えば、DSPが含まれ、MPEGストリームの伸長処理及び復号処理などを行う処理回路に、処理負荷に応じて周波数が制御された周波数可変なクロック信号を供給することが望まれる。これは、DSPの処理能力が供給されるクロック信号の周波数に応じて決まり、クロック周波数が高いほどDSPの処理能力が高く、単位時間あたりでより多くの情報を処理できるからである。

【0004】

デジタル音声放送の場合、放送信号の規格に応じて放送信号が異なる。例えば、放送モードに応じて、OFDM変調信号における各シンボルのデータポイント数が異なる。このため、受信側では、OFDM復調されたMPEGストリームに対して、伸長処理を行うMPEG復号回路の処理負荷が放送モードによって変化する。

【0005】

そこで、従来では、この問題を解決する方策として、受信回路では、DSPを複数個配置し、処理負荷を複数の処理回路に分散することで、各処理回路の負荷軽減をはかる。

【0006】

【発明が解決しようとする課題】

ところで、上述した従来の方法では、同じブロックを複数持つこととなり、回

路の規模が増大し、消費電力の増加を招き無駄が生じてしまう。

そこで、もう一つの解決策として、外部発振器に高周波のクロックを発生させ、L S I 内部ではこの高周波のクロック信号を分周することで、周波数が一定の基準クロック信号のほかに、D S P などを含む処理回路に周波数可変の高周波クロック信号を供給する。しかし、外部クロック信号の周波数が高くなるとその分消費電力が大きくなってしまう。このため、従来では、D S P の処理が終了したあと、D S P へのクロック信号の供給を停止する、いわゆるスリープモード (Sleep mode) などに対応していた。このため、D S P の動作モードの切り替えなどによって制御が複雑になり、十分な効果が得られないという不利益がある。

【 0 0 0 7 】

また、受信回路において、放送信号との同期を保つために、電圧制御発振器を用いて、時間軸上のオフセット量に応じて発振周波数を制御し、放送信号に同期するローカルクロック信号を発生する方法をとっていた。電圧制御発振器は、例えば、V C X O (Voltage Controlled Crystal Oscillator) など高価なものを用いるため、コストの増加を招き、さらに、オフセット量に応じて制御信号を生成してV C X O に出力するフィードバック制御を行うので、回路構成が複雑になり、回路規模が大きくなるという不利益がある。

【 0 0 0 8 】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、信号処理回路に処理負荷に応じた周波数を持つクロック信号を供給でき、また、高周波のクロック信号をそれぞれ異なる分周比で分周クロック信号を生成し、放送信号との同期ずれの量に応じて分周クロック信号を切り替えて放送信号の受信回路に供給することで同期のずれを補正でき、回路構成の簡略化並びに低消費電力化を実現でき、コストの低減が図れるクロック供給回路を提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

上記目的を達成するため、本発明のクロック供給回路は、周波数が略固定する第1のクロック信号を第1の処理回路に供給する第1のクロック生成回路と、第2の処理回路の処理負荷を判断する負荷判断手段と、上記負荷判断手段の判断結

果に応じて第2のクロック信号の周波数を可変に制御し、上記第2の処理回路に供給する第2のクロック生成回路とを有する。

【0010】

また、本発明では、好適には、上記第1の処理回路は、伝送路を介して伝送され、所定の周波数を持つ受信信号を復調し、ビットストリーム信号を生成する復調処理回路を含み、上記第2の処理回路は、上記復調処理回路によって出力された復調後のビットストリーム信号を復号処理する復号処理回路を含む。

【0011】

また、本発明では、好適には、外部から供給される所定の周波数を持つ基準クロック信号を所定の通倍比で通倍した通倍クロック信号を生成する通倍回路を有し、上記第1のクロック生成回路は、上記通倍クロック信号を所定の分周比で分周し、分周信号を上記第1のクロック信号として供給する第1の分周回路を含み、上記第2のクロック生成回路は、上記負荷判断手段の判断結果に応じて制御された所定の分周比で上記通倍クロック信号を分周し、分周信号を上記第2のクロック信号として供給する第2の分周回路を含む。

【0012】

また、本発明では、好適には、上記第1のクロック信号を用いて受信信号を処理する上記第1の処理回路において、上記第1のクロック信号と上記受信信号とのタイミングのずれを検出し、当該検出の結果に応じて上記第1のクロック信号のタイミングを補正するタイミング補正手段をさらに有する。

【0013】

また、本発明のクロック供給回路は、所定の周波数を持つ入力信号を処理するための処理用クロック信号を供給するクロック供給回路であって、上記入力信号を処理するための中間クロック信号と、上記中間クロック信号より周波数が高い第1のクロック信号と、上記中間クロック信号より周波数が低い第2のクロック信号とを生成するクロック生成手段と、上記中間クロック信号、上記第1のクロック信号または上記第2のクロック信号の何れかを選択して、上記処理用クロック信号として上記信号処理に供給するクロック切り替え手段と、上記選択された処理用クロック信号を用いて上記入力信号を処理し、当該処理結果に応じて、上

記入入力信号に対して上記処理用クロック信号の周期ずれの量を検出し、検出された上記周期ずれの量に応じて、上記クロック切り替えを制御するクロック切り替え制御手段とを有する。

【 0 0 1 4 】

また、本発明では、好適には、上記クロック生成手段は、所定の基準周波数を持つ基準クロック信号を生成する発振手段と、上記基準クロック信号を所定の通倍比で通倍して、通倍クロック信号を生成する通倍手段と、上記通倍クロック信号をそれぞれ異なる分周比で分周し、上記中間クロック信号、上記第 1 のクロック信号及び上記第 2 のクロック信号をそれぞれ生成する分周手段とを有する。

【 0 0 1 5 】

また、本発明では、好適には、上記クロック切り替え手段は、開始時点と終了時点において上記中間クロック信号、上記第 1 のクロック信号及び上記第 2 のクロック信号の位相が揃っている所定の時間スパンを切り替え時間単位として、クロックの切り替えを行う。

【 0 0 1 6 】

また、本発明では、好適には、上記中間クロック信号を生成する中間分周比と、上記第 1 のクロック信号を生成する第 1 の分周比と、上記第 2 のクロック信号を生成する第 2 の分周比との最小公倍数に応じて最大計数値が設定され、上記通倍クロック信号をカウントするカウンタを有し、上記切り替え手段は、上記カウンタの計数値が所定の値に達するとき、上記クロックの切り替えを行う。

【 0 0 1 7 】

また、本発明では、好適には、上記所定の値は、0 または上記最大計数値である。

【 0 0 1 8 】

また、本発明のクロック供給回路では、好適には、上記クロック切り替え手段は、開始時点と終了時点において上記中間クロック信号と上記第 1 のクロック信号との位相が揃っている所定の時間スパンを第 1 の切り替え時間単位として、上記中間クロック信号と上記第 1 のクロック信号との切り替えを行い、開始時点と終了時点において上記中間クロック信号と上記第 2 のクロック信号との位相が揃

っている所定の時間スパンを第2の切り替え時間単位として、上記中間クロック信号と上記第2のクロック信号との切り替えを行う。

【0019】

また、本発明では、好適には、上記中間クロック信号を生成する中間分周比と、上記第1のクロック信号を生成する第1の分周比との最小公倍数に応じて第1の最大計数値が設定され、上記通倍クロック信号をカウントする第1のカウンタと、上記中間クロック信号を生成する中間分周比と、上記第2のクロック信号を生成する第2の分周比との最小公倍数に応じて第2の最大計数値が設定され、上記通倍クロック信号をカウントする第2のカウンタとを有し、上記切り替え手段は、上記第1のカウンタの計数値が第1の値に達するとき、上記中間クロック信号と上記第1のクロック信号との切り替えを行う第1の切り替え回路と、上記第2のカウンタの計数値が第2の値に達するとき、上記中間クロック信号と上記第2のクロック信号との切り替えを行う第2の切り替え回路とを有する。

【0020】

また、本発明では、好適には、上記第1の値は、0または上記第1の最大計数値であり、上記第2の値は、0または上記第2の最大計数値である。

【0021】

また、本発明のクロック供給回路は、所定の周波数を持つ入力信号を処理するための処理用クロック信号を供給するクロック供給回路であって、第1のクロック信号と、第1のクロック信号より周波数が低い第2のクロック信号とを生成するクロック生成手段と、上記第1のクロック信号または上記第2のクロック信号の何れかを選択して、上記処理用クロック信号として上記信号処理に供給するクロック切り替え手段と、上記選択された処理用クロック信号を用いて上記入力信号を処理し、当該処理結果に応じて、上記入力信号に対して上記処理用クロック信号の周期ずれの量を検出し、検出された上記周期ずれの量に応じて、上記クロック切り替えを制御するクロック切り替え制御手段とを有する。

【0022】

また、本発明では、好適には、上記クロック生成手段は、所定の基準周波数を持つ基準クロック信号を生成する発振手段と、上記基準クロック信号を所定の通

倍比で通倍して、通倍クロック信号を生成する通倍手段と、上記通倍クロック信号をそれぞれ異なる分周比で分周し、上記第1のクロック信号と上記第2のクロック信号とを生成する分周手段とを有する。

【0023】

また、本発明では、好適には、上記クロック切り替え手段は、開始時点と終了時点において上記中間クロック信号、上記第1のクロック信号及び上記第2のクロック信号の位相が揃っている所定の時間スパンを切り替え時間単位として、クロックの切り替えを行う。

【0024】

また、本発明では、好適には、上記第1のクロック信号を生成する第1の分周比と、上記第2のクロック信号を生成する第2の分周比との最小公倍数に応じて最大計数値が設定され、上記通倍クロック信号をカウントするカウンタを有し、上記切り替え手段は、上記カウンタの計数値が所定の値に達するとき、上記クロックの切り替えを行う。

【0025】

さらに、本発明では、好適には、上記所定の値は、0または上記最大計数値である。

【0026】

【発明の実施の形態】

本発明のクロック供給回路は、例えば、デジタル音声放送（DAB : Digital Audio Broadcasting）の受信信号処理LSIの内部に設けられ、当該信号処理用LSIの各ブロックにそれぞれクロック信号を供給するクロック供給回路である。

【0027】

図1は本発明に係るクロック供給回路を含む信号処理LSIの全体の構成を示すブロック図である。

図示のように、この信号処理LSIは、アナログ／デジタルコンバータ（A/D）10、DAFCブロック20、FFTブロック30、ビタビ復号（VITERBI）ブロック40、DSPブロック50、デジタル／アナログコンバー

タ (DAC) 60、COLTブロック70、FCGブロック80、MIFブロック90、PIOブロック100及びテスト回路110によって構成されている。また、LSIの外部に、所定の周波数を持つ基準クロック信号RCKを生成する外部発振器と、DSPブロック50の処理負荷を判断する負荷判断回路210が備えられている。

【0028】

FCGブロック80は、即ち、本発明に係るクロック供給回路である。図示のよに、FCGブロック80は、外部発振器200によって供給される基準クロック信号RCKに応じて、DAFCブロック20、FFTブロック30及びビタビ復号ブロック40にクロック信号CK1を供給し、さらに、DSPブロック50にクロック信号CK2を供給する。理想的に、クロック信号CK1は、受信されるDABの放送信号と完全に同期し、または、クロック信号CK2は、DSPブロック50の処理負荷に応じて周波数が可変に制御される。

【0029】

ディジタル音声放送において、音声情報はMPEGオーディオ規格に従って圧縮され、圧縮されたMPEGビットストリームに対して畳み込み符号化、時間インターリーブが施され、さらにOFDM変調方式で変調され、電波で送信される。なお、電波の伝搬経路におけるマルチパスの影響を抑制するために、放送側ではOFDM変調波に対して、時間軸上シンボルごとにガードインターバルが設けられ、ガードインターバルと有効シンボルからなる伝送シンボルで構成されるOFDM変調信号が実際に放送される。

【0030】

受信側ではディジタル放送信号が受信アンテナによって受信され、受信信号から音声信号が復元される。例えば、図1に示すように、受信信号がまずフロントエンドに入力され、フロントエンドにおいて、受信信号に対して周波数変換及び増幅処理が行われ、中間周波信号 S_{IF} が出力される。図1に示すLSIは、中間周波信号 S_{IF} をディジタル化して、さらにフーリエ変換、ビタビ復号などの信号処理によって音声データを復元し、MPEG復号処理で得られた音声データをディジタル／アナログ変換によって音声信号に再生する受信及び信号処理など複数

の機能を有する。

【 0 0 3 1 】

以下、各ブロックの機能について説明する。

A/Dコンバータ10は、フロントエンドから入力されるアナログ信号 S_{IF} をデジタル信号に変換し、変換されたデータ D_{in} をDAFCブロック20及びCOLTブロック70に出力する。

DAFCブロック20は、DIQ（直交分離）フィルタ、隣接妨害除去フィルタ及び周波数オフセット修正回路の三つの回路によって構成されている。DIQフィルタは、A/Dコンバータ10によってサンプルされたデータに対して、直交するI成分とQを分離する。隣接妨害除去フィルタは、DAB放送信号の占有する周波数帯域以外の信号成分を除去する。そして、周波数オフセット修正回路は、DSPブロック50によって算出したキャリア単位以下の周波数オフセットをゼロにするため、所定のアルゴリズムを採用して演算を行う。

【 0 0 3 2 】

FFTブロック30は、受信された各OFDMシンボルを復調するためのFFT処理を行う。なお、放送信号のモードによって、1シンボルの継続時間及びデータのポイント数が異なるため、FFTブロック30は、予め得られたモード情報などに従って、FFT変換のポイント数を定める。FFT変換によって得られたIデータとQデータがビタビ復号ブロック40に出力される。

【 0 0 3 3 】

ビタビ復号ブロック40は、FFTブロック30から送られてきたIデータとQデータに対して、周波数デインターリーブ、時間デインターリーブ及びビタビ復号などの処理を行い、フレーム単位でDAB信号を生成し、DSPブロック50に出力する。

【 0 0 3 4 】

DSPブロック50は、ビタビ復号ブロック40によって出力されるフレーム単位の音声信号をMP3オーディオ信号の符号化方式に従って復号（デコード）し、PCM（Pulse Code Modulation）データを生成する。FFTブロック30及びビタビ復号ブロック40によって得られたDAB信号は、MP3オーデ

イオ符号化方式に従って圧縮され、符号化されたMPEGビットストリームである。このため、DSPブロック50では、MPEGオーディオの符号化方式に従って受信したビットストリームを復号することによって、圧縮された音声信号が伸長され、元のPCMデータが復元される。

D/Aコンバータ(DAC)60は、DSPブロック50によって復元されたPCMデータをアナログ信号に変換し、音声信号を出力する。

【0035】

COLTブロック70は、シンボルデータ取得回路、タイムベース回路、及び相関演算回路によって構成されている。

シンボルデータ取得回路は、DAFCブロック20から出力されるIQデータをもとに、シンボルデータを取得する。

タイムベース回路は、ローカルタイムカウンタを設けて、当該タイムカウンタによって、DSPブロック50に一定の時間間隔で基本割り込み信号を供給し、さらに、FFTブロック30にフレームの先頭を知らせるフレーム同期信号を供給する。

相関演算回路は、IQデータそれぞれにおけるガードバンドのデータと有効シンボルとの相関値を計算し、さらにガードバンドの長さ分の移動平均ベクトルとそのスカラー値を算出する。このガードバンドの移動平均値のスカラー値に基づいて、ヌルシンボルの該当する位置が検出され、これに応じて、タイムベース回路のローカルタイムカウンタのリセットが制御される。

【0036】

FCGブロック80は、他のブロックにクロック信号を供給する。例えば、FCGブロック80は、外部に設けられている外部発振器200によって発生された基準クロックRCKに応じて、所定の周波数を持つ第1のクロック信号CK1を生成し、A/Dコンバータ10、DAFCブロック20、FFTブロック30、及びビタビ復号ブロック40に供給する。また、FCGブロック80は、DSPブロックの処理負荷に応じて周波数が制御される第2のクロック信号CK2を生成して、DSPブロック50に供給する。

【0037】

本発明では、外部発振器 2 0 0 は安定した発振周波数で発振し、基準クロック R C K を提供するので、基準クロック信号 R C K に基づいて生成される第 1 のクロック信号 C K 1 及び第 2 のクロック信号 C K 2 は、安定した発振周波数を持つ。しかし、外部発振器 2 0 0 は、固定の発振周波数で基準クロック R C K を供給するため、F C G ブロック 8 0 によって生成されたクロック信号 C K 1 と受信した放送信号が完全に同期しない。このため、同期のずれによって時間軸上オフセットが発生する。本発明のクロック供給回路において、同期のずれによって生じる時間軸上のオフセット量を検出し、当該検出結果に従って、基準クロック R C K を異なる通倍率で通倍して生成される周波数の異なる複数のクロック信号を切り替えることによって、同期のずれを補正し、高価な電圧制御発振器の代わりに周波数固定の外部発振器を用いて受信信号との同期を維持することが可能である。

【 0 0 3 8 】

また、F C G ブロック 8 0 は、外部に設けられている負荷判断回路 2 1 0 の判断結果に応じて、D S P ブロック 5 0 の処理負荷に応じて周波数が可変な第 2 のクロック信号 C K 2 を生成し、D S P ブロック 5 0 に供給する。このため、F C G ブロック 8 0 によって、A / D コンバータ 1 0、D A F C ブロック 2 0、F F T ブロック 3 0、及びビタビ復号ブロック 4 0 に安定した周波数のクロック信号 C K 1 を供給でき、また、D S P ブロック 5 0 に、その処理負荷に応じて周波数が制御されるクロック信号 C K 2 を供給できる。

【 0 0 3 9 】

M I F ブロック 9 0 は、ローカルバスの入出力を制御する。

P I O ブロック 1 0 0 は、フロントエンドまたは他の外部回路に制御信号を出力し、フロントエンドまたは他の外部回路からの制御信号 S C L を L S I に入力するインターフェースとしての役割を果たす。

【 0 0 4 0 】

テスト回路 1 1 0 は、通常モードとテストモードの二つの動作状態を有する。図 1 に示すように、テスト回路 1 1 0 は、外部から入力されるモード制御信号 M S C に応じて動作モードが制御される。テストモードのとき、テスト回路 1 1 0

は、DAFCブロック20、FFTブロック30、ビタビ復号ブロック40、及びDSPブロック50の出力信号のうち、何れかを選択して外部に出力する。また、テスト回路110は、外部からのテスト信号TSGをこれらの内部ブロックの何れかに入力する。通常モードのとき、テスト回路110において各入出力端子がすべて固定のレベルに保持され、またはハイインピーダンス状態に保持される。

【0041】

以下、本発明に係るクロック供給回路（即ち、FCGブロック80）のそれぞれの実施形態を例に挙げて、その構成及び動作について詳しく説明する。ここで、まず、本発明に係るクロック供給回路の第1の実施形態を説明し、そして、本発明に係るクロック供給回路の第2～第4の実施形態、即ち、本発明のクロック供給回路のうち、受信回路にクロック信号CK1を供給する部分回路について説明する。

【0042】

第1実施形態

図2は、本発明のクロック供給回路の第1の実施形態を示す回路図である。図示のように、このクロック供給回路80は、通倍回路（PLL回路）120、受信用クロック生成回路130、及びDSP用クロック生成回路132によって構成されている。

【0043】

外部発振器200は、基準クロックRCKを生成し、通倍回路120に出力する。

負荷判断回路210は、DSPブロックの処理負荷を判断し、その判断結果に従って、通倍比を制御する制御信号 S_M を生成し、通倍回路120に出力する。また、負荷判断回路210は、分周比を制御する分周比制御信号 S_D を生成し、DSP用クロック生成回路132に出力する。

切り替え制御回路220は、受信用クロック信号の切り替えを制御する切り替え制御信号 S_C を生成し、受信用クロック生成回路130に供給する。

【0044】

本実施形態のクロック供給回路 8 0 において、通倍回路 1 2 0 は、外部発振器 2 0 0 によって生成した基準クロック R C K に基づき、通倍比制御信号 S_M に応じて設定された通倍比 M で通倍クロック信号 C L K を生成し、受信用クロック生成回路 1 3 0 及び D S P 用クロック生成回路 1 3 2 に出力する。

通倍回路 1 2 0 は、例えば、位相比較器、チャージポンプ、電圧制御発振器 (V C O) 及び分周器によって構成された P L L 回路であり、分周器の分周比によって生成されるクロック信号 C L K の通倍比 M が規定される。

【 0 0 4 5 】

受信用クロック生成回路 1 3 0 は、通倍クロック信号 C L K を所定の分周比で周波数の異なる複数の分周クロック信号を生成し、さらに、切り替え制御回路 2 2 0 からの切り替え制御信号 S_C に応じて、複数の分周クロック信号から一つを選択して、受信用クロック信号 C K 1 として出力する。

D S P 用クロック生成回路 1 3 2 は、負荷判断回路 2 1 0 によって出力される分周比制御信号 S_D に応じた分周比 N で通倍クロック信号 C L K を分周し、分周されたクロック信号を D S P 用クロック信号 C K 2 として、例えば、D S P ブロック 5 0 に供給する。

【 0 0 4 6 】

D S P ブロック 5 0 の処理負荷は、受信されるディジタル放送信号の放送モード、放送信号の内容などによって決定される。例えば、放送モードによって、放送された O F D M 変調波におけるシンボル長、ガードインターバル長などが異なるので、D S P ブロック 5 0 において、復調されたシンボルのデータを取り出して M P E G オーディオ圧縮方式に従って伸長処理を行う場合の処理負荷が異なる。ディジタル放送信号が採用されている放送モードは、放送信号の各フレームの先頭に配置されているヘッダに記述されている。

【 0 0 4 7 】

このため、負荷判断回路 2 1 0 では、受信されたヘッダ情報から現在放送されている信号の放送モードを読み取ることができる。そして、放送モードに応じて D S P ブロックの処理負荷を推定することができ、この推定結果に応じて、D S P ブロックに供給されるクロック信号 C K 2 の周波数を制御する通倍比制御信号

S_M 及び分周比制御信号 S_D が生成される。負荷判断回路 210 は、放送信号の各フレームのヘッダ情報を読み取る専用回路によって構成することができる。なお、通常、DAB 受信回路では、電波信号を変調・増幅するフロントエンド、受信用 LSI、ユーザインターフェース及び他の関連する回路の動作を制御する制御用 CPU は、ヘッダ情報を読み取り、それに応じて制御を行うので、負荷判断回路 210 の機能は、この制御用 CPU によって実現することができる。この場合、負荷判断回路 210 は、CPU の処理を制御する命令コード、即ち、ソフトウェアとこのソフトウェアを実行する CPU によって構成されたと見ることができる。

【0048】

以下、図 3 を参照しながら、通倍回路 120 の構成及び動作について説明する。

図 3 に示すように、通倍回路 120 は、位相比較器 (PD) 310、チャージポンプ 320、ローパスフィルタ (LPF) 330、電圧制御発振回路 (VCO) 340 及び分周器 350 によって構成されている。

ここで、通倍回路 120 に入力される基準クロック RCK の周波数を f_0 とし、VCO 340 の出力クロック信号 CLK の周波数を f_1 とする。また、分周器 350 の分周比を M とすると、分周器 350 によって出力される分周クロック信号 CKd の周波数は、 (f_1 / M) である。

【0049】

位相比較器 310 は、基準クロック RCK と分周クロック信号 CKd との位相を比較し、当該比較結果に応じて、アップ信号 S_{UP} またはダウン信号 S_{DW} を出力する。

チャージポンプ 320 は、位相比較器 310 からのアップ信号 S_{UP} またはダウン信号 S_{DW} に応じて、チャージ電流またはディスチャージ電流を出力するので、当該チャージポンプ 320 の出力端子に接続されている負荷容量が充電または放電され、出力電圧 V_C が制御される。

【0050】

ローパスフィルタ 330 は、チャージポンプ 320 の出力電圧 V_C に含まれて

いる高周波成分を除去し、低周波成分からなる制御信号をVCO340に出力する。

VCO340は、入力される制御信号に応じて発振周波数が制御され、クロック信号CLKを出力する。

分周器350は、分周比Mでクロック信号CLKを分周し、分周クロック信号CKdを位相比較器310に出力する。

【0051】

このように構成された通倍回路120において、分周クロック信号CKdと基準クロックRCKの位相が一致するようにフィードバック制御が行われる。その結果、分周クロック信号CKdの周波数 f_1 / M が基準クロックRCKの周波数 f_0 と一致する状態でPLL回路がロックされるので、VCO340の発振周波数、即ち、クロック信号CLKの周波数 f_1 は次式によって求められる。

【0052】

【数1】

$$f_1 = f_0 \times M \quad \dots (1)$$

【0053】

即ち、通倍回路120に供給される基準クロックRCKの周波数 f_0 及び分周器350の分周比Mが決まれば、通倍回路120によって生成される通倍クロック信号CLKの周波数 f_1 が式(1)で決まる。

【0054】

分周器350の分周比Mは、例えば、図2に示すように、負荷判断回路210から入力される通倍比制御信号 S_M に応じて制御される。通倍比制御信号 S_M は、DSPブロックの処理負荷に応じて制御され、これに応じて通倍回路120の通倍比が制御されるので、通倍されたクロック信号CLKの周波数が制御される。例えば、外部発振器200によって供給される基準クロックRCKの周波数 f_0 を24.576MHzとすると、通倍比制御信号 S_M に応じて、通倍回路120の通倍比Mが4に制御される場合、クロック信号CLKの周波数は、98.304MHzになる。

【0055】

このとき、例えば、DSPブロックの処理負荷に応じて、負荷判断回路210によって出力される分周比制御信号 S_D に応じて、DSP用クロック生成回路132の分周比がそれぞれ2, 4または8に制御される場合、DSPブロックに供給されるクロック信号CK2の周波数は、それぞれ49.152MHz, 24.576MHz及び12.288MHzとなる。

【0056】

例えば、負荷判断回路210によって、DSPブロックの負荷が大きいと判断した場合、分周比制御信号 S_D によってDSP用クロック生成回路132の分周比が2に設定される。これに応じて、クロック信号CLKの周波数が49.152MHzに制御されるので、DSPブロックが高速なクロック信号CLKによって駆動され、高い処理負荷に対応できる。

一方、負荷判断回路210によって、DSPブロックの負荷が小さいと判断した場合、分周比制御信号 S_D によってDSP用クロック生成回路132の分周比が8に設定される。これに応じて、クロック信号CLKの周波数が12.288MHzに制御されるので、DSPブロックが低速なクロック信号CLKによって駆動され、低い処理負荷に対応でき、また、クロック信号CLKの周波数を低く制御することによって、低負荷のときDSPブロックの消費電力の低減を実現できる。

【0057】

図4は、本実施形態のクロック供給回路によって生成されたクロック信号CK1, CK2の一例を示す波形図である。この例では、外部発振器200によって生成された基準クロックRCKの周波数 f_0 は、例えば、24.576MHzであり、通倍回路120の通倍比Mは、例えば、4である。このため、通倍回路120によって、 $f_1 = 98.304\text{MHz}$ の通倍クロック信号CLKが生成される。負荷判断回路210からの分周比制御信号 S_D によって、例えば、DSP用クロック生成回路132の分周比 $N = 2$ に制御されているとき、DSP用クロック生成回路132から出力されるクロック信号CK2の周波数は、49.152MHzとなり、また、分周比制御信号 S_D によって分周比 $N = 4$ に制御されているとき、DSP用クロック生成回路132から出力されるクロック信号CK2の

周波数は、24.576MHzとなる。

【0058】

図4(a)は、外部発振器200によって生成される基準クロック信号RCKの波形を示し、図4(b)は、通倍回路120によって生成された通倍クロック信号CLKの波形を示している。なお、図示の例において、通倍回路120の分周比Mは、例えば4である。図4(c)は、受信用クロック生成回路130によって出力される受信用クロック信号CK1の波形を示している。ここで、受信用クロック信号CK1は、例えば、分周比4を用いて通倍クロック信号CLKを通倍して生成される分周クロック信号である。

図4(d)は、分周比 $N=2$ のとき、DSP用ブロック生成回路132によって生成されるクロック信号CK2の波形を示し、図4(e)は、分周比 $N=4$ のとき、DSP用ブロック生成回路132によって生成されるクロック信号CK2の波形を示し、図4(f)は、分周比 $N=8$ のとき、DSP用ブロック生成回路132によって生成されるクロック信号CK2の波形を示している。

【0059】

以上説明したように、本実施形態によれば、外部発振器200によって供給される基準クロックRCKを通倍回路120によって通倍し、通倍クロック信号CLKを生成する。負荷判断回路210によって信号処理回路、例えば、DSPブロックの処理負荷を判断し、その判断結果に応じてDSP用クロック生成回路132の分周比Nを設定し、DSPの処理負荷に応じた周波数のクロック信号CK2をDSPブロックに供給する。これによって、DSPブロックに処理負荷に応じて周波数が制御されるクロック信号CK2を供給されるので、クロック信号CK2の周波数を可変に制御でき、高負荷時に高速な処理を実現でき、低負荷時に消費電力の低減を実現できる。

【0060】

なお、図2に示す本実施形態のクロック供給回路80において、負荷判断回路210の判断結果に応じて供給される通倍比制御信号 S_M に応じて、通倍回路120の通倍比が制御されるが、本発明はこの構成に限定されることはなく、例えば、通倍回路120は固定の通倍比で外部発振器200によって生成した基準ク

ロック信号 RCK を通倍し、通倍クロック信号 CLK を生成する構成にすることもできる。ただし、負荷判断回路 210 の判断結果に応じて、通倍回路 120 の通倍比 M 及び DSP 用クロック生成回路 132 の分周比 N を同時に制御することによって、DSP 用クロック生成回路 132 によって出力されるクロック信号 CK2 の周波数の調整可能な範囲は、分周比 N のみを制御する場合に較べて広くとることが可能である。

【0061】

第2実施形態

図5は、本発明のクロック供給回路の第2の実施形態を示す回路図であり、特に受信回路に受信用クロック信号を供給する受信用クロック生成回路の一構成例を示す回路図である。

図示のように、本実施形態において、受信用クロック生成回路 130a は、クロック切り替え回路 140、カウンタ 150、及び分周回路 160 によって構成されている。

【0062】

外部発振器 200 は、所定の周波数を持つ基準クロック RCK を発生する。なお、本発明において外部発振器 200 に高い精度を要求せず、通常の水晶発振器 (XO) を用いても十分である。

切り替え制御回路 220 は、例えば、図1に示すCOLTブロック70の内部に設けられている回路である。切り替え制御回路 220 は、COLTブロック70において検出された時間軸上のオフセット量に応じて、切り替え制御信号 S_C を生成し、クロック切り替え回路 140 に出力する。

【0063】

以下、本実施形態のクロック供給回路 130a の各部分について説明する。

通倍回路 120 は、上述したように PLL 回路によって構成されている。通倍回路 120 は、外部発振器 200 から入力される基準クロック RCK を所定の通倍比で通倍し、高い周波数を持つクロック信号 CLK を生成する。ここで、例えば、基準クロック RCK の周波数 f_0 を 24.576 MHz として、通倍回路 120 の通倍比 N を 4 とすると、クロック信号 CLK の周波数 f_1 は、 $f_0 \times N =$

98. 304MHzとなる。

【0064】

分周回路160は、クロック信号CLKをそれぞれ異なる分周比で分周し、異なる周波数を持つ複数の分周クロック信号を生成する。ここで、例えば、分周回路130は、三つの分周器から構成され、これらの分周器はそれぞれ分周比 n_1 、 n_2 及び n_3 でクロック信号CLKを分周し、三つの分周クロック信号CKD1、CKD2及びCKD3を出力する。例えば、 $n_1=3$ 、 $n_2=4$ 及び $n_3=5$ とすると、分周クロック信号CKD1、CKD2及びCKD3の周波数は、それぞれ32.768MHz、24.576MHz及び19.660MHzとなる。

【0065】

図6は、分周回路160の一構成例を示すブロック図である。図示のように、分周回路160は、3分周回路160-1、4分周回路160-2、及び5分周回路160-3によって構成されている。これらの分周回路は、入力されるクロック信号CLKをそれぞれ異なる分周比で分周し、分周クロック信号CKD1、CKD2及びCKD3を出力する。分周回路160を構成する各分周回路は、60進カウンタ150のカウント値CNTに応じてクロック分周を行う。例えば、3分周回路160-1では、カウント値CNTが0、3、6、…のとき、クロック信号CLKを出力し、4分周回路160-2では、カウント値CNTが0、4、8、…のとき、クロック信号CLKを出力し、5分周回路160-3では、カウント値CNTが0、5、10、…のとき、クロック信号CLKを出力する。これによって、これらの分周回路から入力クロック信号CLKをそれぞれ3分周、4分周及び5分周した分周クロック信号CKD1、CKD2及びCKD3が出力される。

【0066】

クロック切り替え回路140は、切り替え制御信号 S_C 及びカウンタ150のカウント値CNTに応じて、三つの分周クロック信号CKD1、CKD2及びCKD3から一つを選択して出力する。クロック切り替え回路140によって選択されたクロック信号CK1が、図1に示すように、受信用LSIのA/Dコンバ

ータ10、DAFCブロック20、FFTブロック30、及びビタビ復号ブロック40に供給される。これらのブロックにおいて、クロック信号CK1によって設定されたタイミングで受信信号が処理される。例えば、FFTブロック30において、クロック信号CK1のタイミングで受信信号のI成分とQ成分に対してFFT処理が行われ、受信信号がOFDM復調される。さらに、ビタビ復号ブロック40において、クロック信号CK1のタイミングでビタビ復号処理が行われる。クロック信号CK1と受信信号とは完全に同期しないので、時間軸上にオフセットが生じる。

【0067】

カウンタ150は、通倍回路120によって出力されるクロック信号CLKをカウントし、カウント値CNTをクロック切り替え回路140に出力する。クロック切り替え回路140は、切り替え制御回路220からの切り替え制御信号SC_Cに応じて切り替える分周クロック信号を選択し、カウント値CNTに応じて切り替えのタイミングを設定する。なお、クロック切り替えの動作について後にさらに詳しく説明する。

【0068】

次に、時間軸上のオフセットの検出方法について説明する。

時間軸上のオフセットは、LSI内部のCOLTブロック70によって検出される。上述したように、COLTブロック70は、シンボルデータ取得回路、タイムベース回路、及び相関演算回路によって構成されている。相関演算回路は、受信信号にある同期用シンボル(TFRPシンボル)とリファレンスシンボルとの相関演算を行い、周波数軸及び時間軸上のオフセット量を計算する。以下、DAB放送信号のフレームの構成を参照しつつ、オフセット量の演算方法について説明する。

【0069】

DAB放送信号は、フレーム単位で送信される。図7は、DAB放送信号のフレームの一構成例を示している。図示のように、DAB放送信号のフレームは、データを含まないヌルシンボル(NULL)、同期シンボルTFRP及び情報データ(Contents Data)を含むデータシンボルによって構成されて

いる。

ヌルシンボルは、各フレームの先頭に配置され、通常受信側ではフレームの先頭を識別するために用いられる。

【 0 0 7 0 】

同期シンボルは、ヌルシンボルの直後に配置されている。同期シンボルは、例えば、DAB放送の信号規格によって決められたデータ列によって構成されている。このデータ列は、所定のパターンを持ち、好ましくは、相関処理によって鋭いピークが現れるなどの特徴を有する。DAB受信機は、リファレンスシンボルとして、同期シンボルと同じパターンを持つデータ列を予め記憶されている。DAB放送信号を受信するとき、COLTブロック70において、このリファレンスシンボルを用いて、同期のずれ、即ち、時間軸上のオフセット量を検出する。

【 0 0 7 1 】

図8は、オフセットの検出過程におけるヌルシンボル及び同期シンボルのデータの流れを示す図である。以下、図8を参照しつつ、オフセットの検出について説明する。

図8に示すように、A/Dコンバータ10によって量子化された受信データ D_{in} がDAFCブロック20によって直交分離され、IデータとQデータが得られる。COLTブロック70は、IデータとQデータに応じて、まず、ヌルシンボルを検出し、フレームの先頭を見つける。ヌルシンボルを検出したとき、FFTブロック30によってOFDM復調された復調データ（IデータとQデータ両方を含む）から、同期シンボルTFPRを取り出す。そして、この同期シンボルとリファレンスシンボルRSYNとの相関演算を行う。

【 0 0 7 2 】

図1に示すように、DAFCブロック20、FFTブロック30、ビタビ復号ブロック40、及びCOLTブロック70は、クロック供給回路（FCGブロック80）によって供給されたクロック信号CK1で動作する。このため、クロック信号CK1と受信信号が完全に同期している場合、FFTブロック30から出力された同期シンボルTFPRが正確に復元されるので、リファレンスシンボルとの相関演算処理によって、所望の相関値が得られる。一方、クロック信号CK

1 と受信信号との同期がずれている場合、リファレンスシンボルとの相関演算の結果、所望の相関値と異なる値が算出される。同期ずれの量、即ち、時間軸上のオフセット量に応じて、相関値がそれぞれ異なるので、算出された相関値に応じて時間軸上のオフセット量を推定できる。

【 0 0 7 3 】

COLTブロック70に設けられている切り替え制御回路220によって、推定されたオフセット量に応じて、切り替え制御信号 S_C が生成され、クロック切り替え回路140に出力される。例えば、時間軸上のオフセットの検出結果に応じて、受信信号の処理タイミングがDAB放送信号より遅れている場合、切り替え制御回路220は、クロック信号CK1の周波数を高い方に切り替える切り替え制御信号 S_C を出力し、一方、オフセットの検出結果に応じて、受信信号の処理タイミングがDAB放送信号より進んでいる場合、切り替え制御回路220は、クロック信号CK1の周波数を低い方に切り替える切り替え制御信号 S_C を出力する。なお、オフセット検出結果に応じて、受信タイミングがDAB放送信号と同期している場合、切り替え制御回路220は、現在のクロック信号CK1の周波数を維持する制御信号 S_C を出力する。

【 0 0 7 4 】

即ち、切り替え制御信号 S_C は、三つの分周クロック信号CKD1, CKD2及びCKD3のうち一つを指定できればよい。このため、例えば、切り替え制御信号 S_C が2ビットのデータからなり、この2ビットのデータと指定する分周クロック信号との関係を予め設定しておけば、クロック切り替え回路140は、入力される2ビットの制御データに応じて分周クロック信号CKD1, CKD2及びCKD3から一つを選択して、カウンタ150から入力されるカウント値CNTによって設定されたタイミングでクロックの切り替えを行う。

【 0 0 7 5 】

以下、クロック切り替え回路140の動作について説明する。

上述したように、クロック切り替え回路140は、切り替え制御信号 S_C に応じて、分周回路130によって出力された三つの分周クロック信号CKD1, CKD2, CKD3の何れかを選択して、カウント値CNTによって設定したタイ

ミングで切り替えを行う。ここで、クロック信号CKD1, CKD2, CKD3の周波数をそれぞれ32.768MHz, 24.576MHz及び19.660MHzとすると、例えば、クロック切り替え回路140によってクロック信号CKD2を出力している間、切り替え制御回路220から、クロック周波数を高い方に切り替える制御信号 S_C を受けた場合、クロック切り替え回路140は、クロック信号CKD1を選択する。逆に、クロック切り替え回路140によってクロック信号CKD2を出力している間、切り替え制御回路220から、クロック周波数を低い方に切り替える制御信号 S_C を受けた場合、クロック切り替え回路140は、クロック信号CKD3を選択する。

【0076】

クロック切り替え回路140において、クロック信号の切り替えは、切り替えの対象となるクロック信号の位相が揃っているときに行われることによって、切り替え時タイミングのずれを防止でき、切り替えによるクロックタイミングの破綻を防ぐことができる。

本実施形態のクロック供給回路において、カウンタ150は60進のカウンタであり、そのカウント値CNTが初期値0になるとき、分周クロック信号CKD1, CKD2及びCKD3の位相が一致するので、クロック切り替え回路140において、カウンタ150のカウント値CNTが初期値、即ちCNT=0のときクロックの切り替えを行う。

【0077】

図9は、クロック切り替え回路140の切り替え制御を示すフローチャートである。以下、図9を参照しつつ、クロック切り替え回路140の動作について説明する。

まず、ステップS1において、クロックの同期ずれの検出結果に応じて、クロック切り替え要求が、例えば、切り替え制御回路220によって出力される。なお、クロックの同期ずれの検出は、上述したように、COLTブロック70における相関演算によって行われる。例えば、クロック切り替え回路140によって分周クロック信号CKD1, CKD2及びCKD3のうち、中間の周波数を持つ分周クロック信号CKD2を受信用クロック信号CK1として受信回路に出力し

ているとき、同期ずれの検出結果、受信回路に供給されるクロック信号CK1が受信される放送信号より遅い場合、速いクロック信号、即ち、分周クロック信号CKD1に切り替える制御信号 S_C が出力され、逆に、受信回路に供給されるクロック信号CK1が受信される放送信号より速い場合、遅いクロック信号、即ち、分周クロック信号CKD3に切り替え制御信号 S_C が出力される。

【0078】

次に、クロック切り替え回路140において、カウント値CNTが0になっているか否かが判断される（ステップS2）。

カウント値CNTが0になると、即ち、分周クロック信号CKD1、CKD2及びCKD3の位相が揃っているとき、クロックの切り替えが行われる（ステップS3）。このとき、クロック切り替え回路140は切り替え制御信号 S_C によって指定した分周クロック信号を受信用クロック信号CK1として選択し、カウント値CNTが0になるタイミングで出力する。

【0079】

上述したステップS1～S3の処理は、受信回路が動作している間に繰り返して行われるので、受信用クロック信号CK1と受信された放送信号との同期のずれに応じて、周波数の異なる三つの分周クロック信号CKD1、CKD2及びCKD3のうち何れか一つが選択され、受信用クロック信号CK1として受信回路に供給されるので、受信用クロック信号と放送信号との同期ずれを補正することができる。

【0080】

以下、図10に示す波形図を参照しつつ、クロック切り替えに伴う受信用クロック信号CK1の状態遷移を説明する。

図10は、カウンタ150のカウント値CNT並びにクロック信号CLK、分周クロック信号CKD1、CKD2、CKD3及び切り替え回路140によって出力されるクロック信号CK1の波形を示している。

図10（a）は、カウント値CNTを示し、図10（b）はクロック信号CLKの波形を示し、図10（c）～（e）は、分周クロック信号CKD1、CKD2、CKD3の波形を示している。そして、図10（f）及び（g）は、クロッ

クの切り替えによる出力クロック信号CK1の波形の変化を示している。

【0081】

上述したように、クロック信号CKD1、CKD2とCKD3は、それぞれクロック信号CLKから、分周比 $n_1 = 3$ 、 $n_2 = 4$ 及び $n_3 = 5$ で得られた分周信号である。即ち、カウンタ150の初期値を0とすると、カウント値CNT=0, 3, 6…のとき、クロック信号CKD1が出力され、カウント値CNT=0, 4, 8…のとき、クロック信号CKD2が出力され、カウント値CNT=0, 5, 10…のとき、クロック信号CKD3が出力される。分周比3, 4及び5の最小公倍数は60であるので、クロック信号CLKが60周期毎に、分周クロック信号CKD1、CKD2とCKD3の位相が揃う。

即ち、カウント値CNTが0のとき、三つの分周信号CKD1、CKD2とCKD3の位相が一致するので、このときクロックの切り替えを行うことで、タイミングの破綻を防ぐことができる。

【0082】

本実施形態のクロック切り替え回路140は、上述したように、カウント値CNTが0のとき、クロック切り替えを行う。例えば、放送信号に対して、受信用クロック信号CK1が遅い場合、切り替え制御信号 S_C に応じて、受信用クロック信号CK1が速いクロック信号CKD1に切り替えられる。図5(a)と(f)に示すように、例えば、カウント値CNTが0になるとき、クロック信号CKD2からCKD3に切り替えられる。

【0083】

即ち、図10(g)に示すように、例えば、期間T1において出力クロック信号CK1としてCKD2が受信回路に供給され、同期ずれの検出結果に応じて速いクロック信号を要求する切り替え制御信号 S_C が出力される場合、カウント値CNTが0になるタイミングで、クロック切り替えが行われ、次の期間T2において出力クロック信号CK1として分周クロック信号CKD1が選択される。

逆に、図10(f)に示すように、期間T1において出力クロック信号CK1としてCKD2が受信回路に供給され、同期ずれの検出結果に応じて遅いクロック信号を要求する切り替え制御信号 S_C が出力される場合、カウント値CNTが

0になるタイミングで、クロック切り替えが行われ、次の期間T2において出力クロック信号CK1として分周クロック信号CKD3が選択される。

【0084】

上述同様、クロック信号CKD3からクロック信号CKD2への切り替え、また、クロック信号CKD1とCKD2への切り替えもカウント値CNTが0になるタイミングで行う。これにより、クロック信号の切り替えは常に切り替え対象となるクロック信号の位相が揃ったときに行われるので、クロックの切り替えによるタイミングの破綻を防止できる。

【0085】

第3実施形態

図11は、本発明に係るクロック供給回路の第3の実施形態を示す回路図であり、受信回路に受信用クロック信号を供給する受信用クロック生成回路のもう一つの構成例を示す回路図である。

図示のように、本実施形態において、受信用クロック生成回路130bは、クロック切り替え回路142、カウンタ152、154、及び分周回路162によって構成されている。

【0086】

上述した本発明の第2の実施形態において、クロック切り替え回路140は、60進カウンタ150のカウント値CNTに応じて、クロックの切り替えを行う。本実施形態の受信用クロック生成回路130bでは、二つのカウンタ152と154が設けられ、これらのカウンタのカウント値に応じて、クロック信号CKD1とCKD2との切り替え、またはクロック信号CKD3とCKD2との切り替えがそれぞれ制御される。

【0087】

本実施形態のクロック供給回路130bにおいて、通倍回路120は、外部発振器200によって供給される基準クロック信号RCKに基づき、通倍クロック信号CLKを生成し、分周回路162、カウンタ152及び154に供給する。分周回路162は、それぞれの所定の分周比でクロック信号CLKを分周し、分周クロック信号CKD1、CKD2及びCKD3を出力する。

【 0 0 8 8 】

図 1 2 は、本実施形態における分周回路 1 6 2 の一構成例を示すブロック図である。

本実施形態において、例えば、分周クロック信号 $CKD1$ 、 $CKD2$ 及び $CKD3$ を生成するための分周比をそれぞれ $n1 = 3$ 、 $n2 = 4$ 及び $n3 = 5$ とすると、 $n1$ と $n2$ の最小公倍数は 12 となり、 $n2$ と $n3$ の最小公倍数は 20 となる。これに応じて、カウンタ 1 5 2 は 12 進であり、カウンタ 1 5 4 は、20 進である。

【 0 0 8 9 】

図示のように、分周回路 1 6 2 は、3 分周回路 1 6 2 - 1、4 分周回路 1 6 2 - 2、及び 5 分周回路 1 6 2 - 3 によって構成されている。これらの分周回路は、入力されるクロック信号 CLK をそれぞれ異なる分周比で分周し、分周クロック信号 $CKD1$ 、 $CKD2$ 及び $CKD3$ を出力する。分周回路 1 6 2 を構成する各分周回路は、12 進カウンタ 1 5 2 のカウント値 $CNT1$ 及び 20 進カウンタ 1 5 4 のカウント値 $CNT2$ に応じてクロック分周を行う。例えば、3 分周回路 1 6 2 - 1 では、カウント値 $CNT1$ が 0, 3, 6, ... のとき、クロック信号 CLK を出力し、4 分周回路 1 6 2 - 2 では、カウント値 $CNT1$ が 0, 4, 8, ... のとき、クロック信号 CLK を出力し、5 分周回路 1 6 2 - 3 では、カウント値 $CNT2$ が 0, 5, 10, ... のとき、クロック信号 CLK を出力する。これによって、これらの分周回路から入力クロック信号 CLK をそれぞれ 3 分周、4 分周及び 5 分周した分周クロック信号 $CKD1$ 、 $CKD2$ 及び $CKD3$ が出力される。

【 0 0 9 0 】

以下、本実施形態におけるクロック切り替え回路 1 4 2 の動作を中心に説明する。

クロック切り替え回路 1 4 2 は、切り替え制御回路 2 2 0 からの制御信号 S_C に応じて分周クロック信号 $CKD1$ 、 $CKD2$ 及び $CKD3$ から一つを選択して、カウンタ 1 5 2 または 1 5 4 のカウント値 $CNT1$ 、 $CNT2$ に応じて設定したタイミングでクロックの切り替えを行う。

【0091】

図13～15は、クロック切り替え回路142の切り替え制御を示すフローチャートである。以下、図13～15を参照しつつ、クロック切り替え回路142の動作について説明する。

図13は、分周クロック信号CKD1、CKD2及びCKD3のうち、中間の周波数を持つクロック信号CKD2を受信用クロック信号CK1として受信回路に出力しているときのクロック切り替え処理を示すフローチャートであり、図14は、中間周波数のクロック信号CKD2より高い周波数を持つクロック信号CKD1を受信用クロック信号CK1として受信回路に出力しているときのクロック切り替え処理を示すフローチャートであり、さらに、図15は、中間周波数のクロック信号CKD2より低い周波数を持つクロック信号CKD3を受信用クロック信号CK1として受信回路に出力しているときのクロック切り替え処理を示すフローチャートである。

【0092】

まず、図13を参照しつつ、クロック信号CKD2が出力されているときのクロック切り替え処理について説明する。

中間の周波数を持つクロック信号CKD2を受信用クロック信号CK1として受信回路に出力しているとき、同期ずれの検出結果に応じて受信用クロック信号が受信した放送信号より遅いかまたは早いかが検出される。当該検出の結果に応じて、速いクロック信号CKD1または遅いクロック信号CKD3に切り替える切り替え制御信号 S_C が出力される。そして、クロック切り替え回路142は、切り替え制御信号 S_C によって指示されたクロック信号を選択して、カウント値CNT1またはCNT2によって設定されたタイミングでクロックの切り替えを行う。

【0093】

まず、ステップSA1において、中間周波数のクロック信号CKD2を受信用クロック信号CK1として受信回路に供給される。

次に、ステップSA2において、同期ずれの検出結果に応じて、クロック切り替えの要求が出力される。

【0094】

そして、受信用クロック信号CK1が受信した放送信号より遅いか速いかが判断される（ステップSA3）。当該判断の結果に応じて、クロックの切り替えが行われる。

例えば、同期ずれの検出結果、受信用クロックが受信した放送信号より遅い場合、中間周波数のクロック信号CKD2より速いクロック信号CKD1を選択する切り替え制御信号 S_C が出力される。

【0095】

このとき、クロック切り替え回路142は、カウント値CNT1に応じて設定されたタイミングでクロックの切り替えを行う。図示のように、クロック切り替え回路142は、カウント値CNT1が0になるか否かを判断し（ステップSA4）、カウント値CNT1が0になるとき、速いクロック信号CKD1を選択して受信用クロック信号CK1として出力する（ステップSA5）。

【0096】

また、クロックの同期ずれの検出結果に応じて、受信用クロックが受信した放送信号より速い場合、中間周波数のクロック信号CKD2より遅いクロック信号CKD3を選択する切り替え制御信号 S_C が出力される。

【0097】

このとき、クロック切り替え回路142は、カウント値CNT2に応じて設定されたタイミングでクロックの切り替えを行う。図示のように、クロック切り替え回路142は、カウント値CNT2が0になるか否かを判断し（ステップSA6）、カウント値CNT1が0になるとき、遅いクロック信号CKD3を選択して受信用クロック信号CK1として出力する（ステップSA7）。

【0098】

次に、図14を参照しながら、高い周波数のクロック信号CKD1が出力されているときのクロック切り替えの動作について説明する。

まず、クロック信号CKD1を受信用クロック信号CK1として受信回路に出力される（ステップSB1）。

そして、クロックの同期ずれの検出結果に応じて、クロック切り替え要求出力

される（ステップ S B 2）。クロック信号 C K D 1 は、中間周波数のクロック信号 C K D 2 に較べて周波数が高い。このため、受信用クロック信号 C K 1 としてクロック信号 C K D 1 を用いて放送信号を受信し続けると、受信用クロック信号が放送信号より位相が進み、同期のずれが生じる。このとき、受信用クロック信号 C K 1 として、中間のクロック信号 C K D 2 に戻す処理が行われる。

【 0 0 9 9 】

クロック切り替え要求を受けたとき、クロック切り替え回路 1 4 2 は、カウント値 C N T 1 に応じて設定した切り替えのタイミングでクロック信号 C K D 1 から中間周波数のクロック信号 C K D 2 に切り替える。

図 1 4 に示すように、切り替え回路 1 4 2 はカウント値 C N T 1 が 0 になるか否かを判断する（ステップ S B 3）。カウント値 C N T 1 が 0 になると、クロック切り替え回路 1 4 2 は、クロック信号 C K D 1 から中間周波数のクロック信号 C K D 2 に切り替えて、受信用クロック信号 C K 1 として受信回路に出力する（ステップ S B 4）。

【 0 1 0 0 】

次に、図 1 5 を参照しながら、低い周波数のクロック信号 C K D 3 が出力されているときのクロック切り替えの動作について説明する。

まず、クロック信号 C K D 3 を受信用クロック信号 C K 1 として受信回路に出力される（ステップ S C 1）。

そして、クロックの同期ずれの検出結果に応じて、クロック切り替え要求出力される（ステップ S C 2）。クロック信号 C K D 3 は、中間周波数のクロック信号 C K D 2 に較べて周波数が低い。このため、受信用クロック信号 C K 1 としてクロック信号 C K D 3 を用いて放送信号を受信し続けると、受信用クロック信号が放送信号より位相が遅れ、同期のずれが生じる。このとき、受信用クロック信号 C K 1 として、中間のクロック信号 C K D 2 に戻す処理が行われる。

【 0 1 0 1 】

クロック切り替え要求を受けたとき、クロック切り替え回路 1 4 2 は、カウント値 C N T 2 に応じて設定した切り替えのタイミングでクロック信号 C K D 3 から中間周波数のクロック信号 C K D 2 に切り替える。

図 1 5 に示すように、切り替え回路 1 4 2 はカウント値 CNT 2 が 0 になるか否かを判断する（ステップ SC 3）。カウント値 CNT 2 が 0 になると、クロック切り替え回路 1 4 2 は、クロック信号 CKD 3 から中間周波数のクロック信号 CKD 2 に切り替えて、受信用クロック信号 CK 1 として受信回路に出力する（ステップ SC 4）。

【 0 1 0 2 】

図 1 6 は、本実施形態におけるクロック信号の切り替えタイミングを示す波形図である。以下、図 1 6 を参照しつつ、本実施形態のクロック切り替え回路の動作について説明する。

図 1 6 (a) は、クロック信号 CLK の波形を示し、図 1 6 (b) と (c) は、それぞれカウント値 CNT 1 と CNT 2 を示している。また、図 1 6 (d) ～ (f) はそれぞれ分周クロック信号 CKD 1、CKD 2 及び CKD 3 の波形を示し、図 1 6 (g) は、クロック切り替え回路 1 4 2 によって出力された受信用クロック信号 CK 1 の波形を示している。

【 0 1 0 3 】

本実施形態のクロック切り替え回路 1 4 2 において、切り替え対象となるクロック信号の位相が揃ったとき切り替えを行う。即ち、例えば、クロック信号 CKD 2 と CKD 1 の位相が揃ったときに、クロック信号 CKD 2 から CKD 1、またはクロック信号 CK 1 から CK 2 への切り替えを行う。同様に、クロック信号 CKD 2 と CKD 3 の位相が揃ったとき、クロック信号 CKD 2 から CKD 3、またはクロック信号 CK 3 から CK 2 への切り替えるを行う。

【 0 1 0 4 】

クロック信号 CK 1 と CK 2 の位相が揃っているか否かの判断は、カウンタ 1 5 2 のカウント値 CNT 1 に基づいて行い、同様に、クロック信号 CK 2 と CK 3 の位相が揃っているか否かの判断は、カウンタ 1 5 4 のカウント値 CNT 2 に基づいて行う。

【 0 1 0 5 】

上述したように、分周クロック信号 CKD 1 と CKD 2 を生成するための分周比がそれぞれ 3 と 4 であるので、図 1 6 (b)、(d) と (e) に示すように、

カウンタ値 $CNT1$ が 0 になるとき、即ち、クロック信号 CLK の 12 周期毎に、クロック信号 $CKD1$ と $CKD2$ の位相が揃う。このように、12 進のカウント 152 のカウンタ値 $CNT1$ が 0 になるとき、クロック信号 $CKD1$ と $CKD2$ の位相が揃う。同様に、分周クロック信号 $CKD2$ と $CKD3$ を生成するための分周比がそれぞれ 4 と 5 であるので、図 16 (c)、(e) と (f) に示すように、カウンタ値 $CNT2$ が 0 になるとき、即ち、クロック信号 CLK の 20 周期毎に、クロック信号 $CKD2$ と $CKD3$ の位相が揃う。このように、20 進のカウント 154 のカウンタ値 $CNT2$ が 0 になるとき、クロック信号 $CKD2$ と $CKD3$ の位相が揃う。

【0106】

これに応じて、本実施形態のクロック切り替え回路 142 において、カウンタ 152 のカウンタ値 $CNT1$ が 0 になるとき、クロック信号 $CKD1$ と $CKD2$ との切り替えが行われる。同様に、カウンタ 154 のカウンタ値 $CNT2$ が 0 になるとき、クロック信号 $CKD2$ と $CKD3$ との切り替えが行われる。

【0107】

図 16 (g) は、クロック切り替え回路 142 によって出力されるクロック信号 $CK1$ の一例を示している。図示のように、まず、最初にクロック信号 $CKD2$ がクロック切り替え回路 142 によって選択され、受信回路に出力される。切り替え制御信号 S_C に応じて、次にクロック信号 $CKD1$ に切り替える。このとき、クロック切り替え回路 142 はカウンタ 152 のカウンタ値 $CNT1$ に応じて、切り替えのタイミングを制御する。時間 t_1 において、カウンタ 152 のカウンタ値 $CNT1$ が 0 になる。即ち、このときクロック信号 $CKD1$ と $CKD2$ の位相が揃っているので、クロック信号 $CKD2$ からクロック信号 $CKD1$ への切り替えが行われる。

【0108】

次に、切り替え制御信号 S_C に応じて、クロック信号 $CKD1$ から $CKD2$ への切り替えが行われる。このとき、クロック切り替え回路 142 はカウンタ 152 のカウンタ値 $CNT1$ に応じて、切り替えのタイミングを制御する。時間 t_2 において、カウンタ 152 のカウンタ値 $CNT1$ がまた 0 になる。即ち、このと

きクロック信号CKD1とCKD2の位相が揃っているので、クロック信号CKD1からクロック信号CKD2への切り替えが行われる。

【0109】

次に、切り替え制御信号 S_C に応じて、クロック信号CK2からCKD3への切り替えが行われる。このため、クロック切り替え回路142はカウンタ154のカウント値CNT2に応じて、切り替えのタイミングを制御する。

図示のように、時間 t_3 において、カウンタ154のカウント値CNT2が0になり、このときクロック信号CKD2とCKD3の位相が揃っているので、クロック信号CKD2からCKD3への切り替えが行われる。

【0110】

そして、切り替え制御信号 S_C に応じて、クロック信号CK3からCKD2に切り替える。このため、クロック切り替え回路142はカウンタ154のカウント値CNT2に応じて、切り替えのタイミングを制御する。時間 t_4 において、カウンタ154のカウント値CNT2が0になり、このときクロック信号CKD2とCKD3の位相が揃っているので、クロック信号CKD3からCKD2への切り替えが行われる。

【0111】

上述したように、本実施形態において、二つのカウンタ152と154が設けられ、クロック切り替え回路142は、カウンタ152のカウント値CNT1に従って、クロック信号CKD2とCKD1との切り替えタイミングを制御し、また、カウンタ154のカウント値CNT2に従って、クロック信号CKD2とCKD3との切り替えタイミングを制御する。このため、クロック信号CKD1とCKD2の位相揃っているときにクロック信号CKD1からCKD2、またはクロック信号CKD2からCKD1への切り替えが行われる。同じように、クロック信号CKD2とCKD3の位相が揃っているときにクロック信号CKD2からCKD3、またはクロック信号CKD3からCKD2への切り替えが行われる。このため、上述した第1の実施形態に較べて、本実施形態ではクロック信号の切り替えは短い間隔ででき、放送信号との同期ずれに応じてクロック信号を適宜切り替えることで、同期ずれを随時補正でき、受信信号を高精度に再生することが

できる。

【0 1 1 2】

第4実施形態

図17は、本発明に係るクロック供給回路の第4の実施形態を示す回路図であり、受信回路に受信用クロック信号を供給する受信用クロック生成回路のもう一つの構成例を示す回路図である。

図示のように、本実施形態において、受信用クロック生成回路130cは、クロック切り替え回路144、カウンタ156、及び分周回路164によって構成されている。

【0 1 1 3】

本実施形態の受信用クロック生成回路130cにおいて、分周回路164は、それぞれの所定の分周比でクロック信号CLKを分周し、分周クロック信号CKD1とCKD3を出力する。なお、上述した第1または第2の実施形態と異なる点は、本実施形態において、中間の周波数を持つ分周クロック信号CKD2が生成されず、クロック信号CKD2より速い分周クロック信号CKD1と、クロック信号CKD2より遅い分周クロック信号CKD3のみがクロック切り替え回路144に供給される。即ち、本実施形態の受信用クロック生成回路130cにおいて、受信される放送信号よりわずかに高い周波数と低い周波数を持つ分周クロック信号を生成し、クロック切り替え回路144によって切り替え制御信号 S_C に従ってクロック信号CKD1とCKD3を選択して出力することで、放送信号との同期をはかる。

【0 1 1 4】

分周回路164において、逓倍回路120から供給されるクロック信号CLKを分周比3と分周比5で分周し、分周クロック信号CKD1とCKD3をそれぞれ出力する。ここで、例えば、クロック信号CLKの周波数を98.304MHzとすると、クロック信号CKD1とCKD3の周波数は、それぞれ32.768MHz及び19.660MHzとなる。

【0 1 1 5】

図18は、本実施形態における分周回路164の一構成例を示すブロック図で

ある。

本実施形態において、例えば、分周クロック信号CKD1とCKD3を生成するための分周比がそれぞれ3と5である。分周比3と5の最小公倍数は15であるので、カウンタ156は、15進のカウンタである。このため、カウンタ156のカウント値CNT3が0になるとき、分周クロック信号CKD1とCKD3の位相が揃っている。クロック切り替え回路144は、カウンタ156のカウント値CNT3に従って、クロック切り替えのタイミングを制御する。即ち、カウント値CNT3が0になるとき、クロックの切り替えを行う。

【0116】

図示のように、分周回路164は、3分周回路164-1と、5分周回路164-2によって構成されている。これらの分周回路は、入力されるクロック信号CLKをそれぞれ異なる分周比で分周し、分周クロック信号CKD1とCKD3を出力する。分周回路164を構成する各分周回路は、15進カウンタ156のカウント値CNT3に応じてクロック分周を行う。例えば、3分周回路164-1では、カウント値CNT3が0, 3, 6, ...のとき、クロック信号CLKを出力し、5分周回路164-2では、カウント値CNT3が0, 5, 10, ...のとき、クロック信号CLKを出力する。これによって、これらの分周回路から入力クロック信号CLKをそれぞれ3分周、または5分周した分周クロック信号CKD1とCKD3が出力される。

【0117】

図19は、本実施形態におけるクロック切り替え回路144の切り替え制御を示すフローチャートである。以下、図19を参照しつつ、クロック切り替え回路144の切り替え動作について説明する。

まず、ステップSD1において、クロックの同期ずれの検出結果に応じて、クロック切り替え要求が、例えば、切り替え制御回路220によって出力される。同期ずれの検出結果、受信回路に供給されるクロック信号CK1が受信される放送信号より遅い場合、速いクロック信号、即ち、分周クロック信号CKD1に切り替える制御信号 S_C が出力され、逆に、受信回路に供給されるクロック信号CK1が受信される放送信号より速い場合、遅いクロック信号、即ち、分周クロック

ク信号CKD3に切り替え制御信号 S_C が出力される。

【0118】

次に、クロック切り替え回路144において、カウント値CNT3が0になっているか否かが判断される（ステップSD2）。

カウント値CNT3が0になると、即ち、分周クロック信号CKD1とCKD3の位相が揃っているとき、クロックの切り替えが行われる（ステップSD3）。このとき、クロック切り替え回路144は切り替え制御信号 S_C によって指定した分周クロック信号を受信用クロック信号CK1として選択し、カウント値CNT3が0になるタイミングで出力する。

【0119】

上述したステップSD1～SD3の処理は、受信回路が動作している間に繰り返して行われるので、受信用クロック信号CK1と受信された放送信号との同期のずれに応じて、周波数の異なる分周クロック信号CKD1とCKD3のうち何れかが選択され、受信用クロック信号CK1として受信回路に供給されるので、受信用クロック信号と放送信号との同期ずれを補正することができる。

【0120】

図20は、本実施形態のクロック供給回路の動作を示す波形図である。図20（a）は、クロック信号CLKの波形を示し、図20（b）は、カウンタ156のカウント値CNT3を示している。図20（c）と（d）は、分周クロック信号CKD1とCKD3の波形を示し、図20（e）は、クロック切り替え回路144によって出力されるクロック信号CK1の波形を示している。

【0121】

次に、図20を参照しつつ、本実施形態のクロック切り替え回路144の動作について説明する。

図20（e）に示すように、まず、例えば、クロック切り替え回路144によって、クロック信号CKD1が選択され、クロック信号CK1として出力される。

次に、切り替え制御信号 S_C に従って、クロック切り替え回路144によって、クロック信号CKD3が選択される。そして、カウンタ156のカウント値C

N T 3 に従って、クロック切り替えのタイミングが制御される。

【 0 1 2 2 】

図 2 0 (b) 、 (c) と (d) に示すように、カウンタ 1 5 6 のカウント値 C N T 3 が 0 になるとき、クロック信号 C K D 1 と C K D 3 の位相が揃っている。このため、クロック切り替え回路 1 4 4 は、カウント値 C N 3 が 0 になる時間 t_1 においてクロック信号 C K D 1 からクロック信号 C K D 3 に切り替える。

【 0 1 2 3 】

次に、クロック切り替え制御信号 S_C に従って、クロック切り替え回路 1 4 4 は、クロック信号 C K D 3 から C K D 1 に切り替える。上述した切り替えと同様に、クロック切り替え回路 1 4 4 はカウント値 C N T 3 が 0 になるタイミングでクロックの切り替えを行う。即ち、図 2 0 (b) 及び (e) に示すように、時間 t_2 において、カウント値 C N T 3 が 0 になり、これに従ってクロック切り替え回路 1 4 4 は、クロック信号 C K D 3 から C K D 1 に切り替える。

【 0 1 2 4 】

上述したように、本実施形態のクロック供給回路において、クロック切り替え回路によって、放送信号よりわずかに周波数の高いクロック信号 C K D 1 と放送信号よりわずかに周波数の低いクロック信号 C K D 3 を選択して受信回路に供給する。クロックの切り替えは、カウンタ 1 5 6 のカウント値 C N T 3 に従って行うので、クロック信号 C K D 1 と C K D 3 が位相が揃ったとき切り替えを行うことができる。

【 0 1 2 5 】

以上、本発明のクロック供給回路において、受信回路に受信用クロック信号 C K 1 を供給するクロック生成回路の各実施形態について説明。本発明のクロック供給回路は、第 1 の実施形態に説明した D S P 用クロック生成回路と上述した第 2 ～第 4 の実施形態に説明した受信用クロック信号生成回路とによって構成されるので、信号処理回路、例えば D S P ブロックに処理負荷に応じて周波数が制御されるクロック信号を供給することができ、また、受信回路に受信した放送信号との同期ずれに応じて、周波数の異なる複数のクロック信号から一つを選択して供給するので、受信した放送信号との同期ずれを補正できる。

【 0 1 2 6 】

【発明の効果】

以上説明したように、本発明のクロック供給回路によれば、外部に低い周波数の発振器を用いるだけで、PLL回路から構成される通倍回路によって高周波の通倍クロックを生成でき、FFTブロック、ビタビ復号ブロックなどの受信用回路に一定の周波数を持つ受信用クロック信号を供給でき、また、受信される放送信号と受信用クロック信号との同期のずれに応じて、周波数がわずかに異なるクロック信号を切り替えて受信用回路に供給することによって、同期ずれを補正でき、受信信号を高精度に再生可能である。

さらに、本発明のクロック供給回路によれば、MPEGストリームの伸長処理などを行うDSPブロックに処理負荷に応じて周波数が制御されるクロック信号を供給することができる。これによって、高負荷時にDSPを高速に動作させ、低負荷時にDSPを負荷に応じた低い動作速度で動作させることによって、低消費電力化を実現できる。

また、本発明によれば、クロック供給回路の構成を簡略化でき、回路規模の縮小及び消費電力の低減を実現できる利点がある。

【図面の簡単な説明】

【図 1】

本発明に係るクロック供給回路を含むデジタル放送受信用LSIの構成を示すブロック図である。

【図 2】

本発明に係るクロック供給回路の第1の実施形態を示す回路図である。

【図 3】

通倍回路の構成を示すブロック図である。

【図 4】

第1の実施形態のクロック供給回路によって生成される受信用クロック信号CK1及びDSP用クロック信号CK2の波形を示す波形図である。

【図 5】

本発明に係るクロック供給回路の第2の実施形態を示す回路図であり、受信用

クロック生成回路の構成を示す図である。

【図 6】

第 2 の実施形態における分周回路の構成を示すブロック図である。

【図 7】

DAB 放送信号のフレームの一構成例を示す図である。

【図 8】

時間軸上のオフセット量を検出するための部分回路及び信号の流れを示すブロック図である。

【図 9】

第 2 の実施形態におけるクロック切り替えの動作を示すフローチャートである。

【図 1 0】

第 2 の実施形態におけるクロック切り替えの動作を示す波形図である。

【図 1 1】

本発明に係るクロック供給回路の第 2 の実施形態を示す回路図であり、受信用クロック生成回路の構成を示す図である。

【図 1 2】

第 3 の実施形態における分周回路の構成を示すブロック図である。

【図 1 3】

第 3 の実施形態におけるクロック切り替えの動作を示すフローチャートである。

【図 1 4】

第 3 の実施形態におけるクロック切り替えの動作を示すフローチャートである。

【図 1 5】

第 3 の実施形態におけるクロック切り替えの動作を示すフローチャートである。

【図 1 6】

第 3 の実施形態におけるクロック切り替えの動作を示す波形図である。

【図 1 7】

本発明に係るクロック供給回路の第 4 の実施形態を示す回路図であり、受信用クロック生成回路の構成を示す図である。

【図 1 8】

第 4 の実施形態における分周回路の構成を示すブロック図である。

【図 1 9】

第 4 の実施形態におけるクロック切り替えの動作を示すフローチャートである。

【図 2 0】

第 4 の実施形態におけるクロック切り替えの動作を示す波形図である。

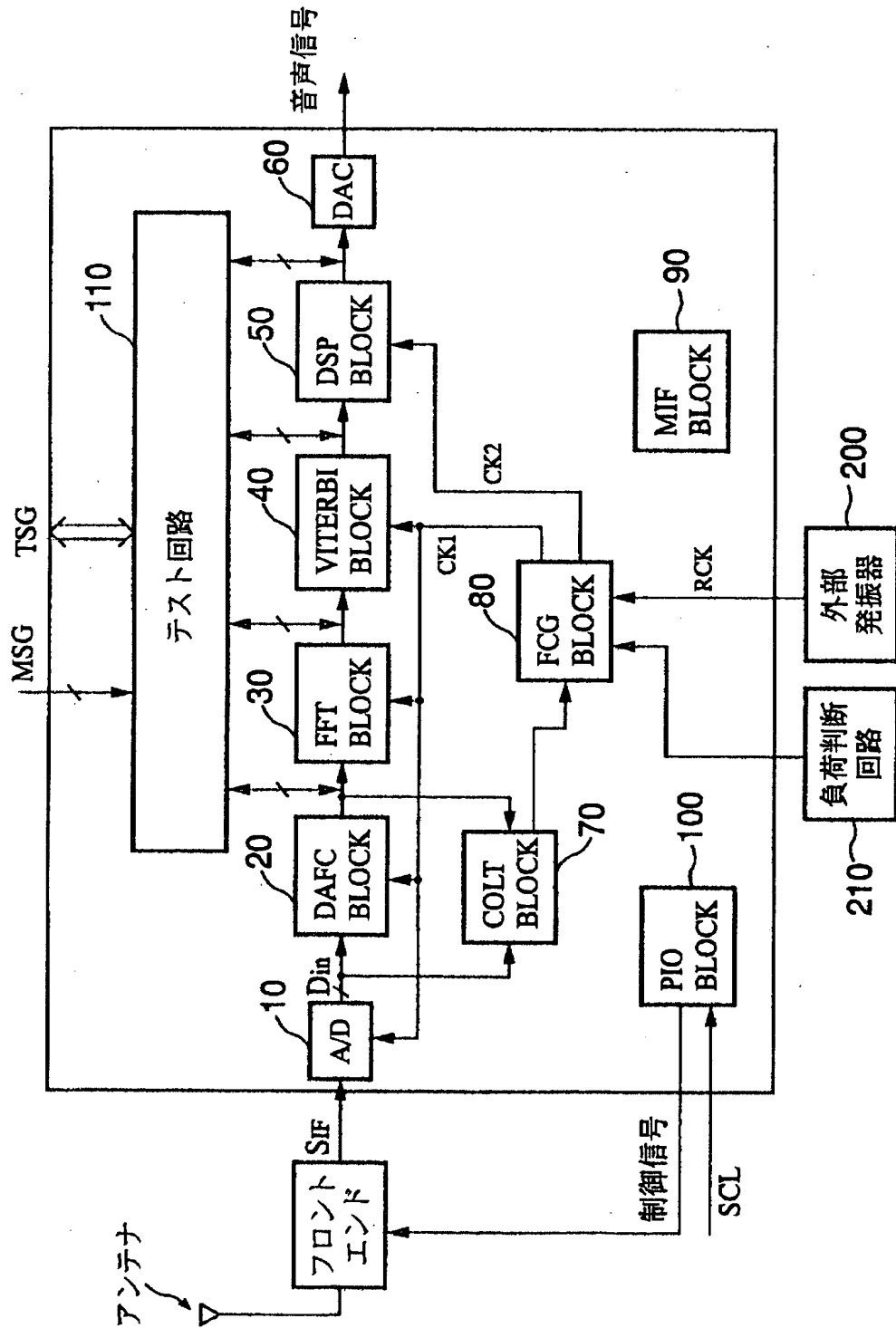
【符号の説明】

1 0 … A/Dコンバータ、2 0 … D A F C ブロック、3 0 … F F T ブロック、
4 0 … ビタビ復号ブロック、5 0 … D S P ブロック、6 0 … D A C、7 0 … C O
L T ブロック、8 0 … F C G ブロック、9 0 … M I F ブロック、1 0 0 … P I O
ブロック、1 1 0 … テスト回路、1 2 0 … 通倍回路、1 3 0, 1 3 0 a, 1 3 0
b, 1 3 0 c … 受信用クロック生成回路、1 3 2 … D S P 用クロック生成回路、
1 4 0, 1 4 2, 1 4 4 … クロック切り替え回路、1 5 0, 1 5 2, 1 5 4, 1
5 6 … カウンタ、1 6 0, 1 6 2, 1 6 4 … 分周回路、2 0 0 … 外部発振器、2
1 0 … 負荷判断回路、2 2 0 … 切り替え制御回路、3 1 0 … 位相比較器 (P D)
、3 2 0 … チャージポンプ、3 3 0 … ローパスフィルタ (L P F)、3 4 0 … 電
圧制御発振回路 (V C O)、3 5 0 … 分周器。

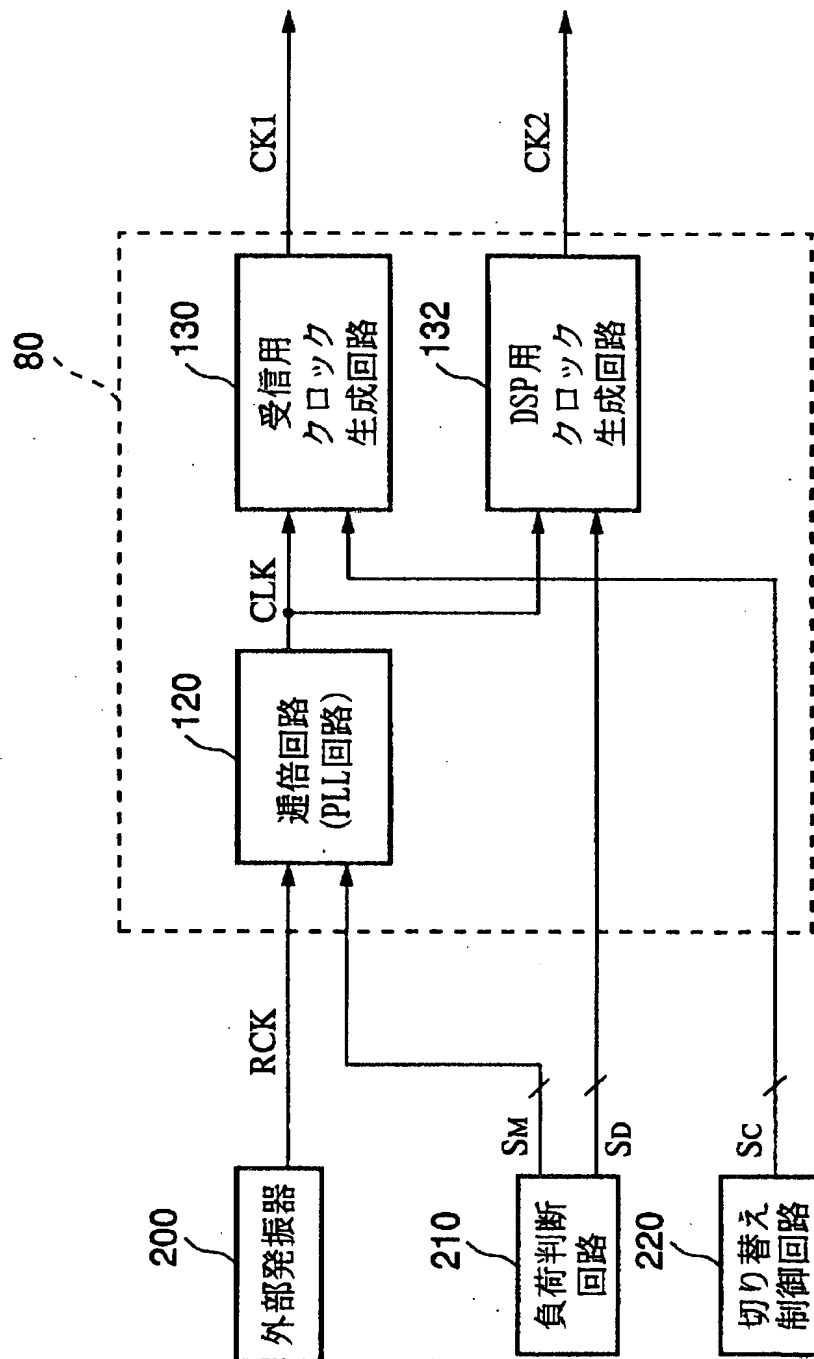
【書類名】

図面

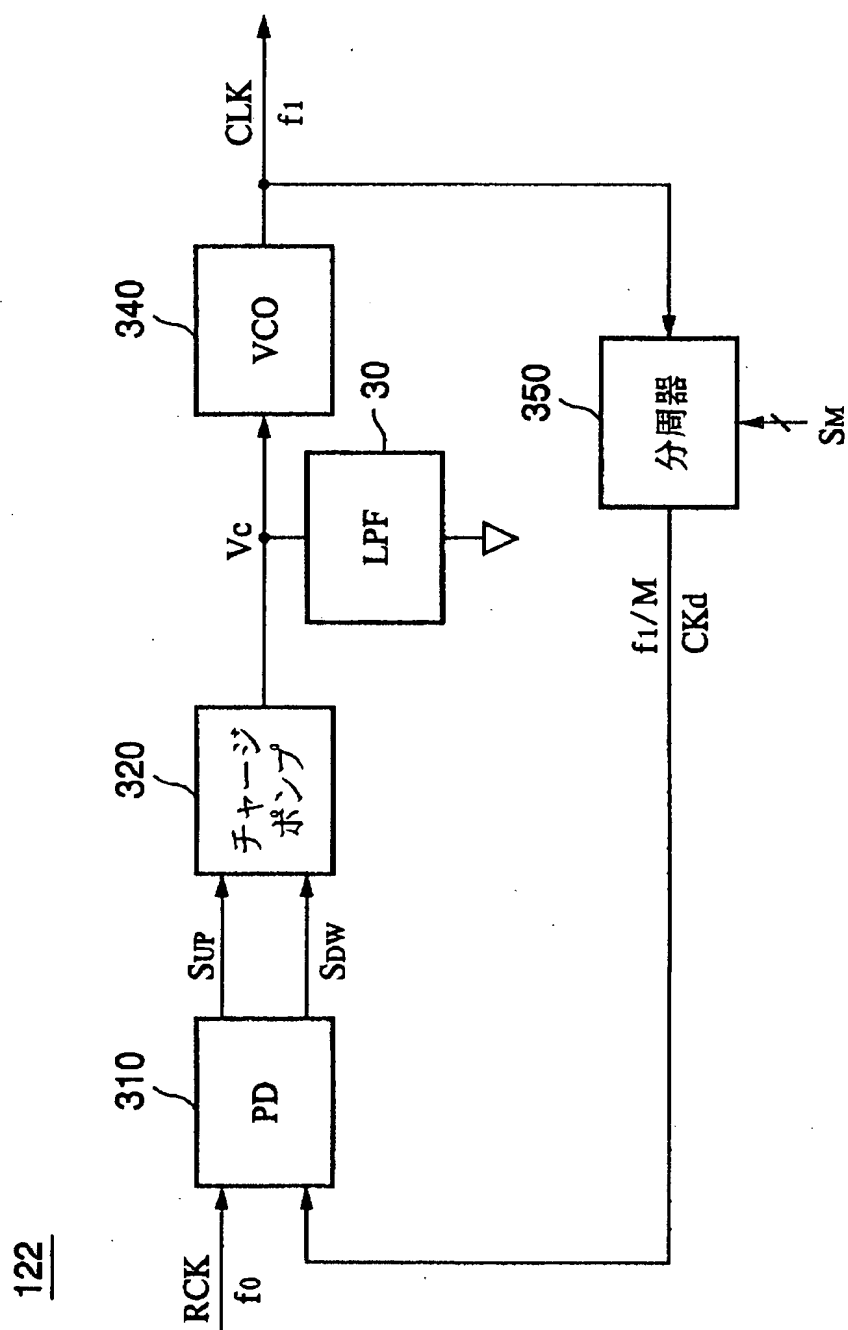
【図 1】



【図2】

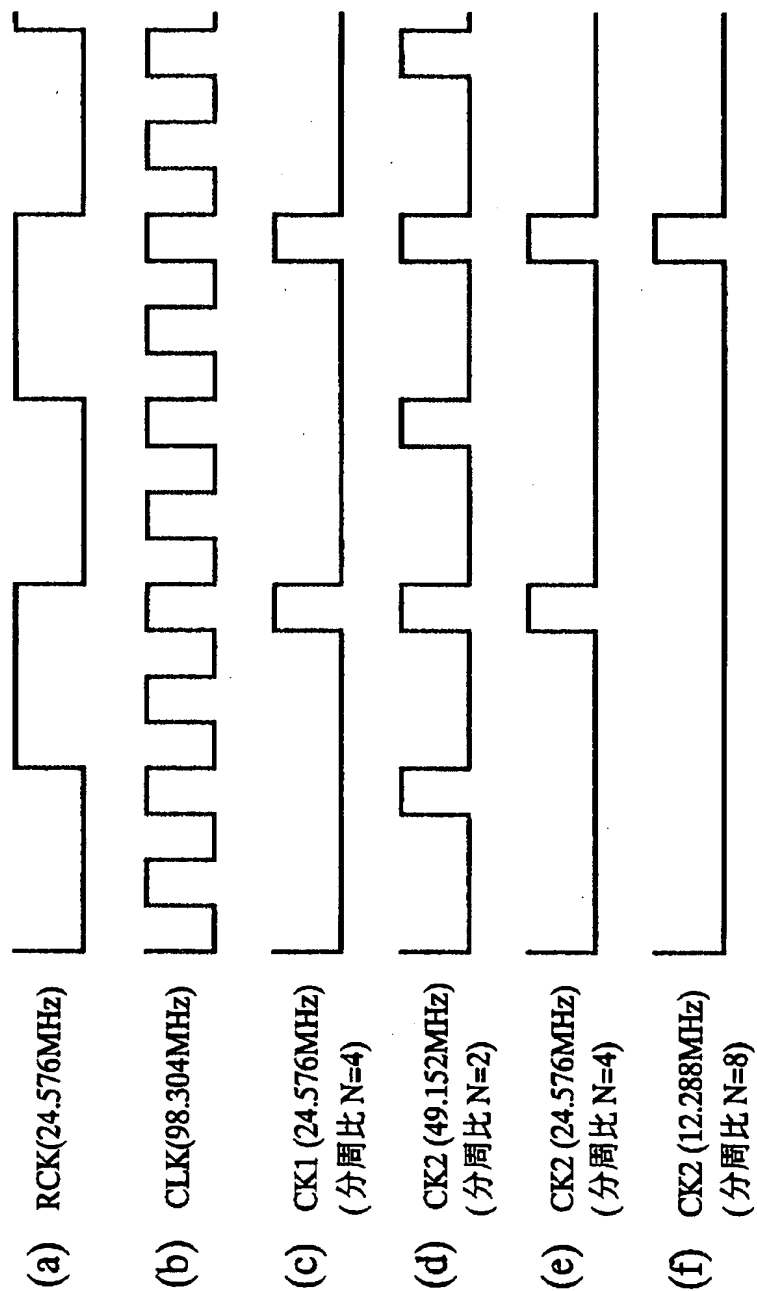


【図 3】

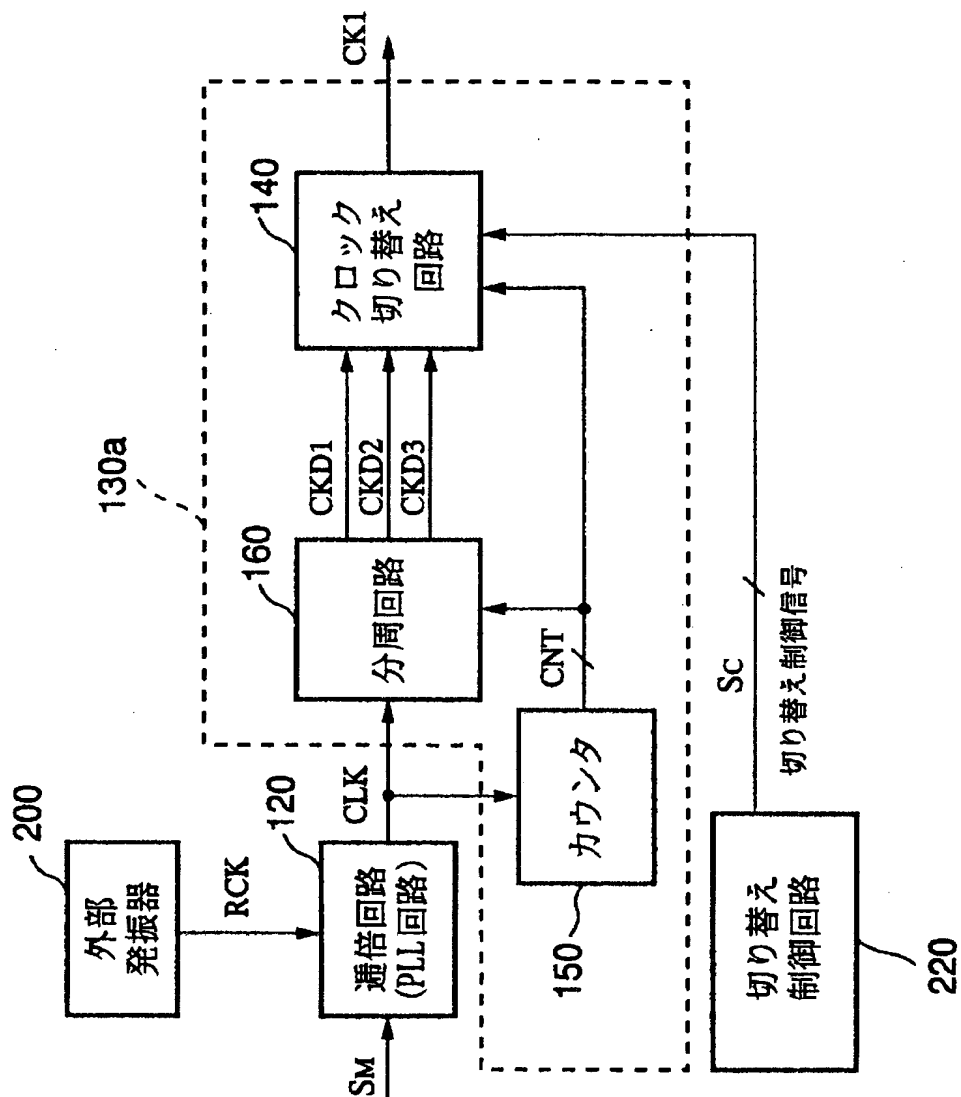


122

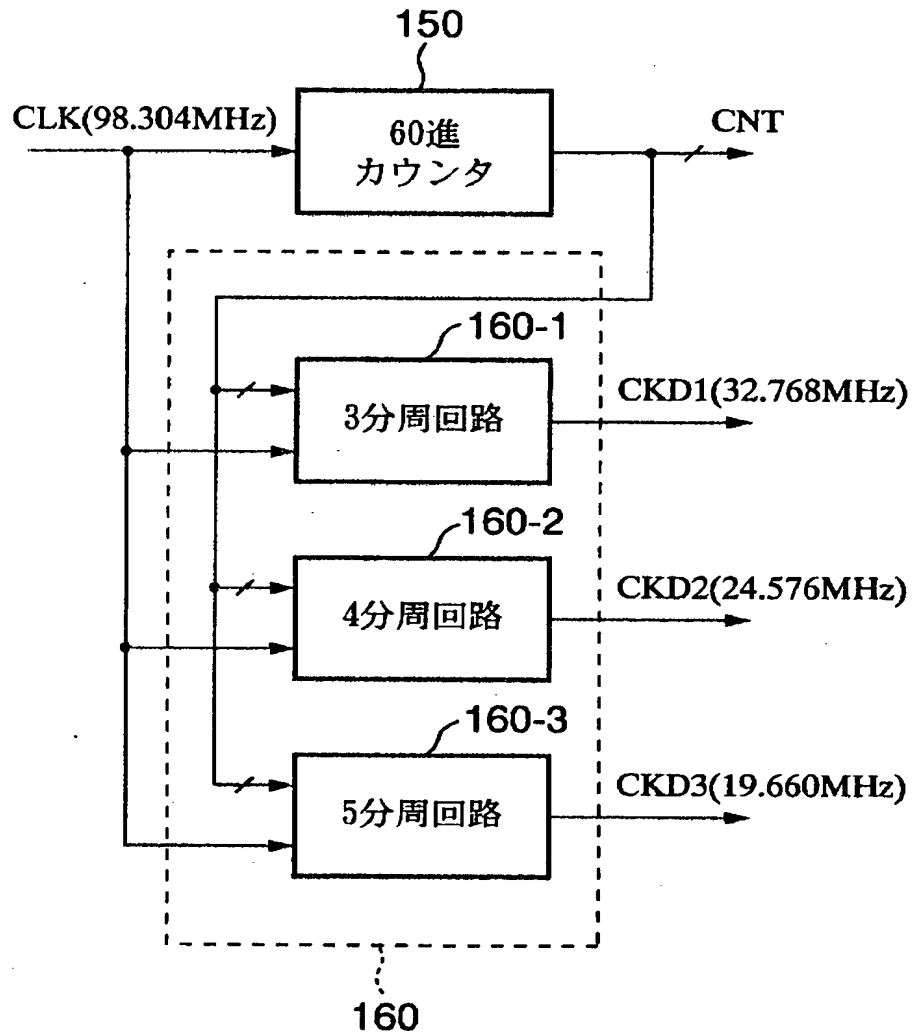
【図 4】



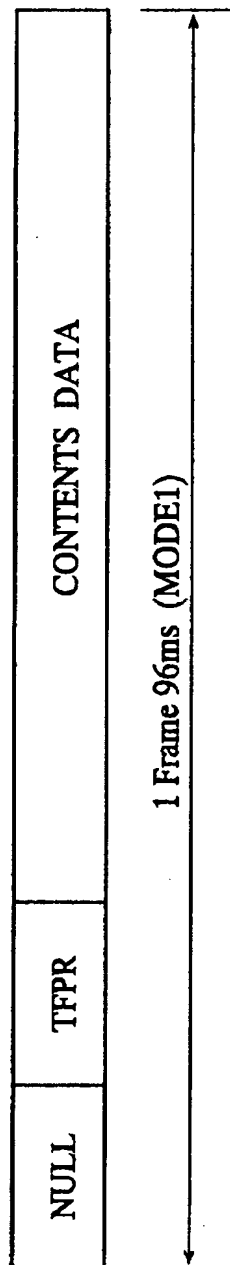
【図 5】



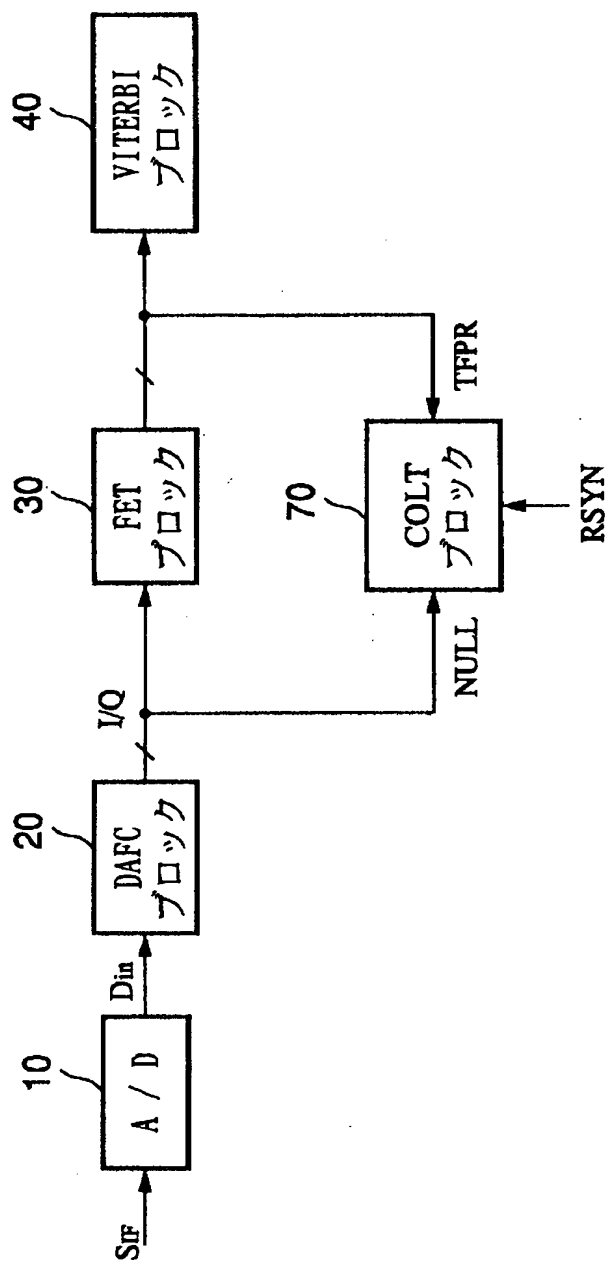
【図 6】



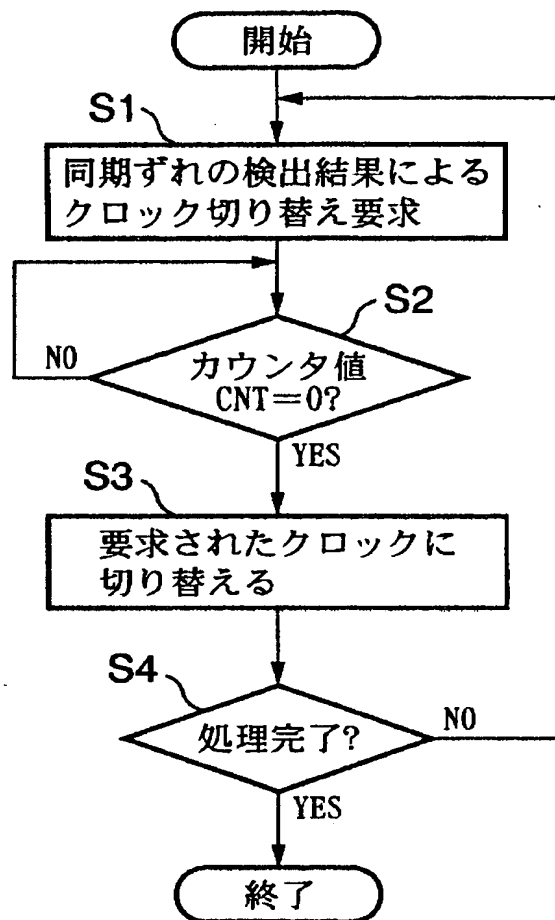
【図 7】



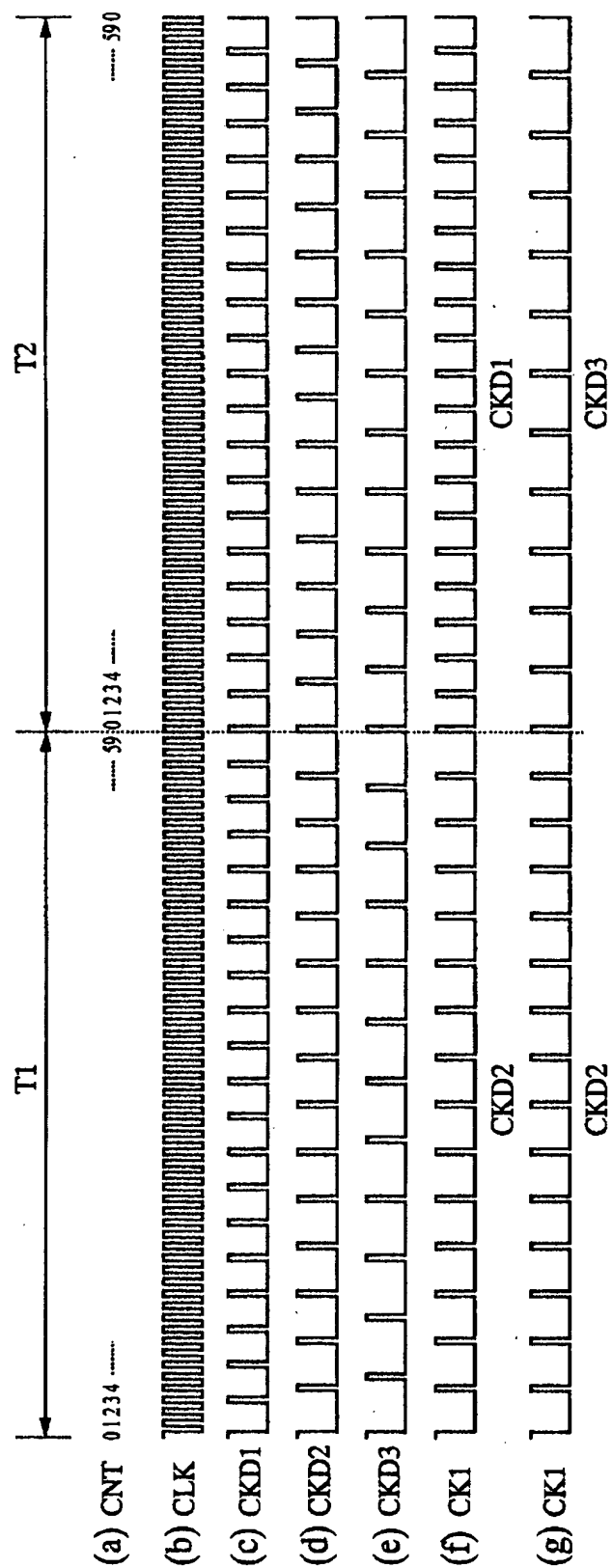
【図 8】



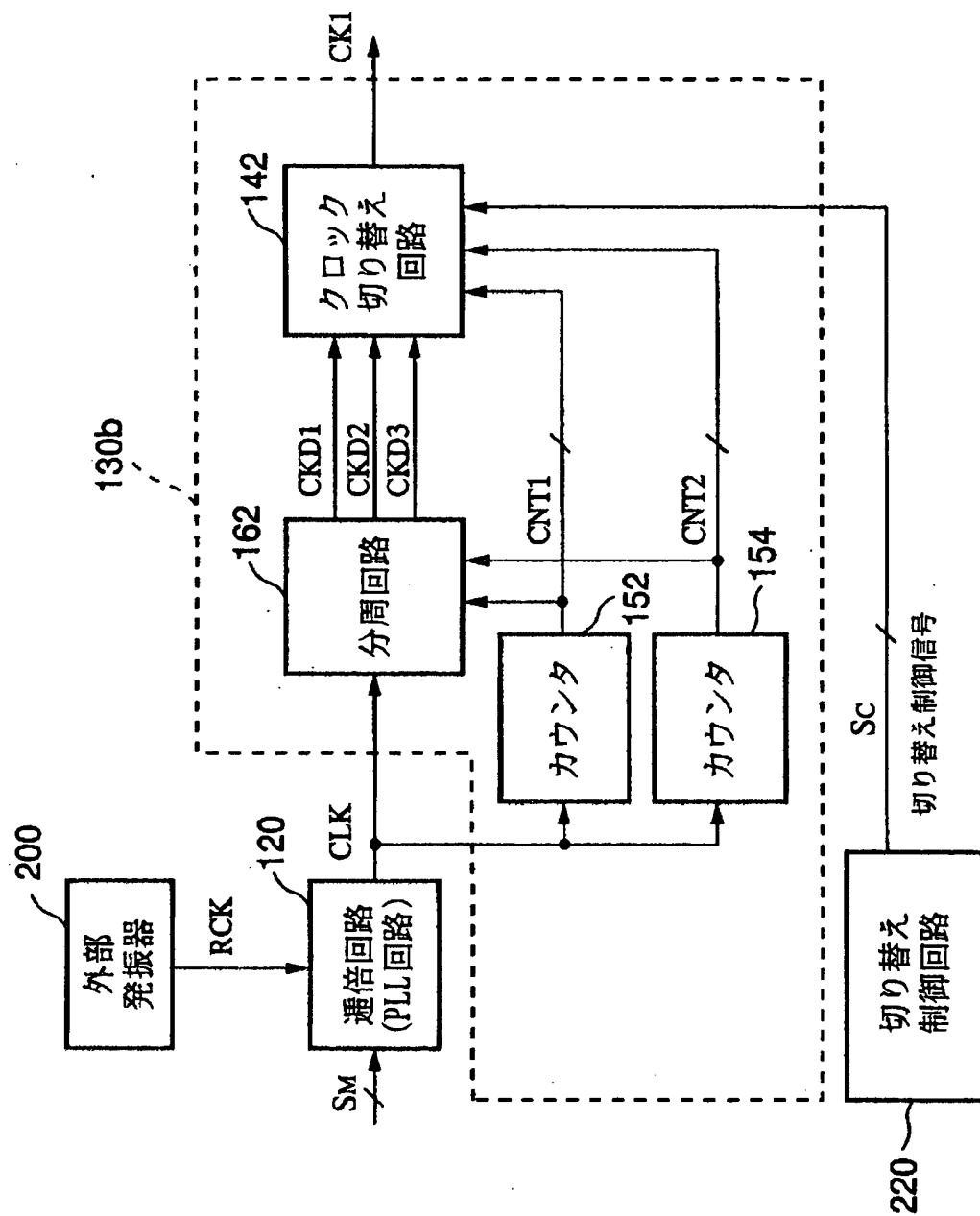
【図 9】



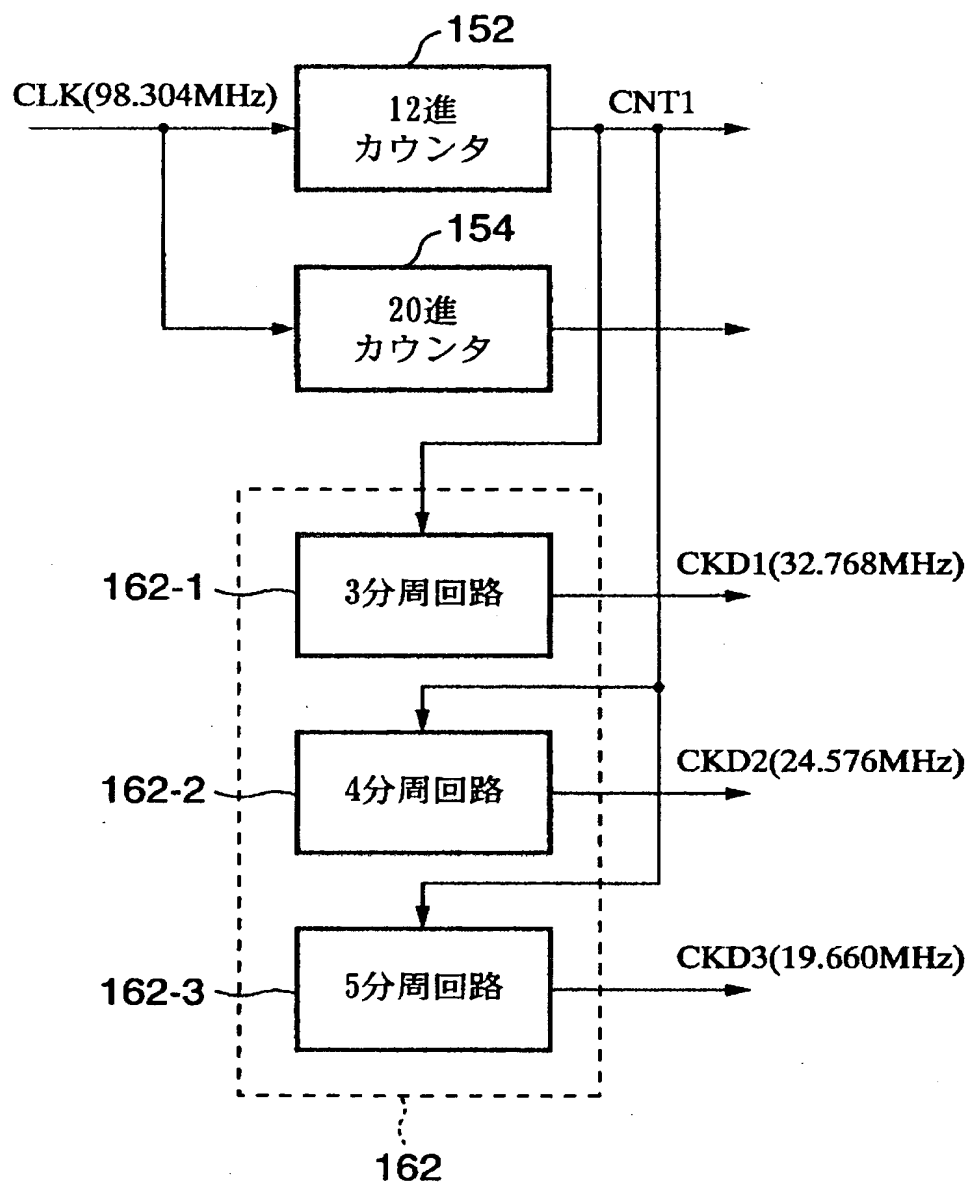
【図 10】



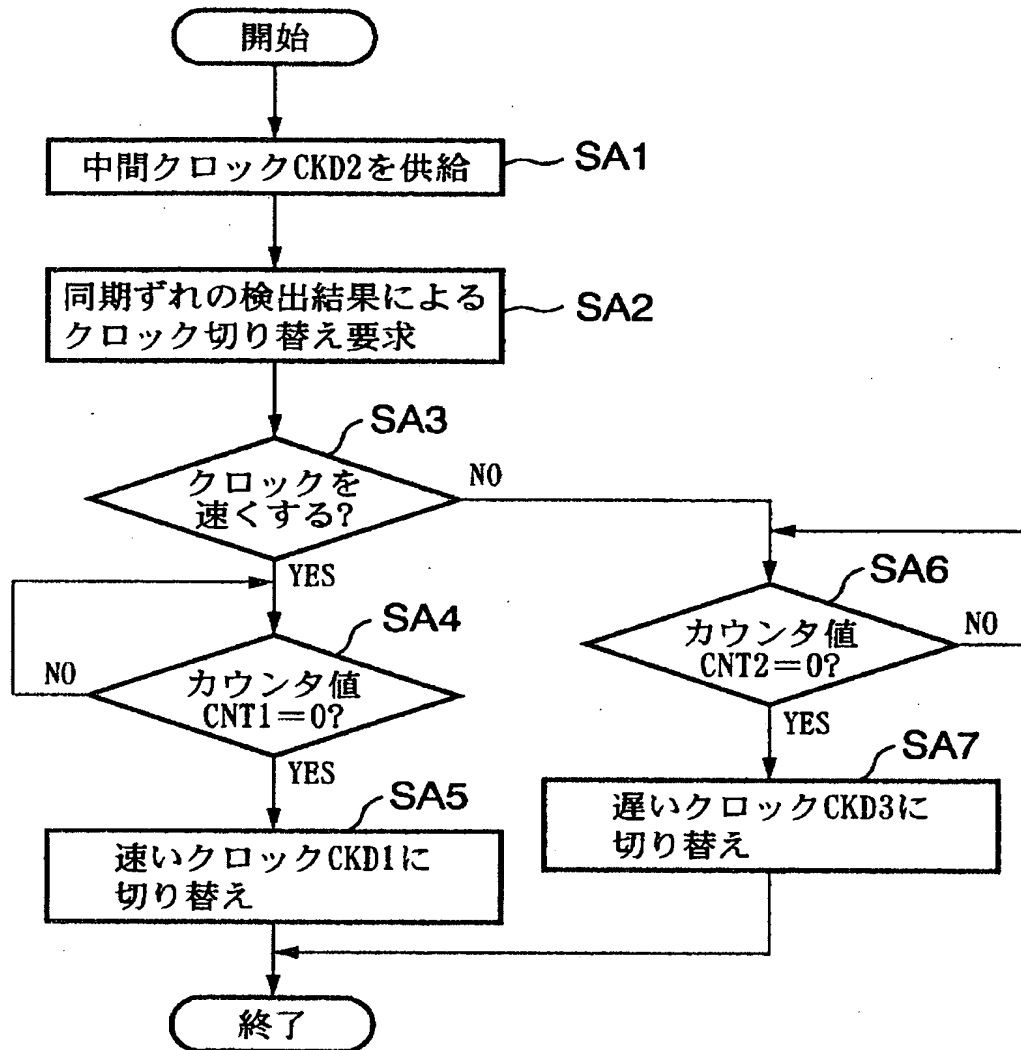
【図 11】



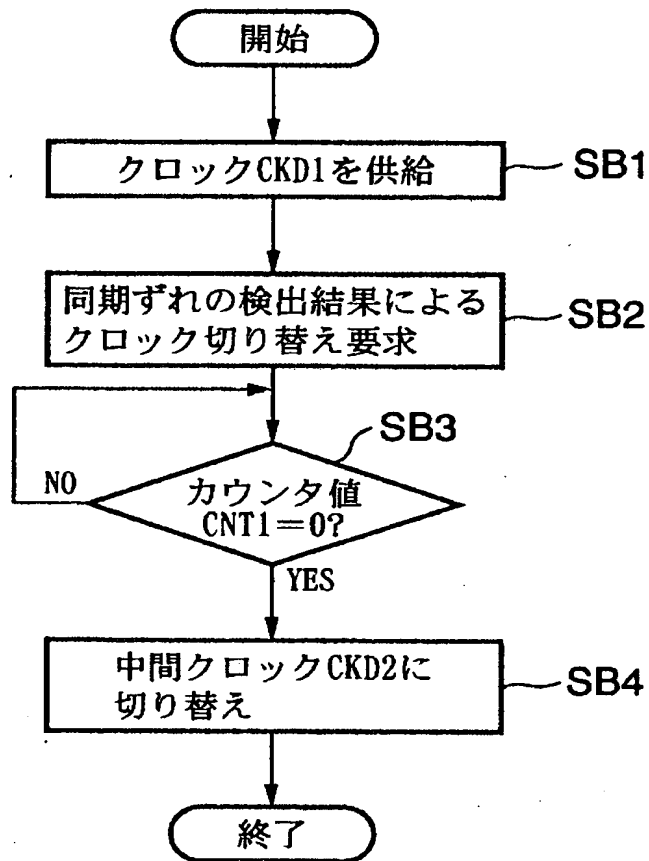
【図 1 2】



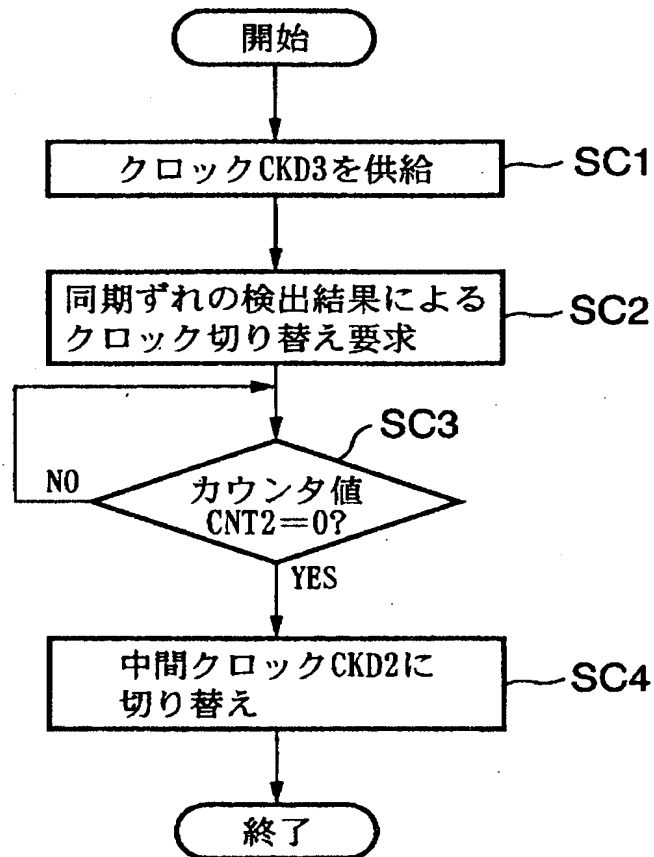
【図13】



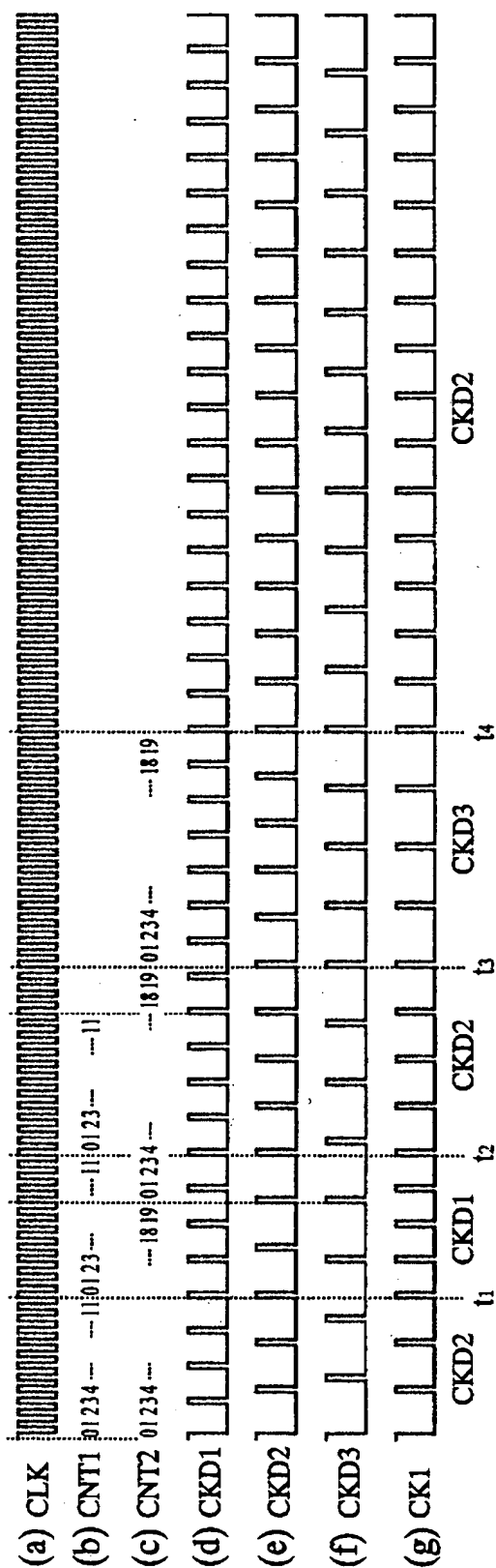
【図 14】



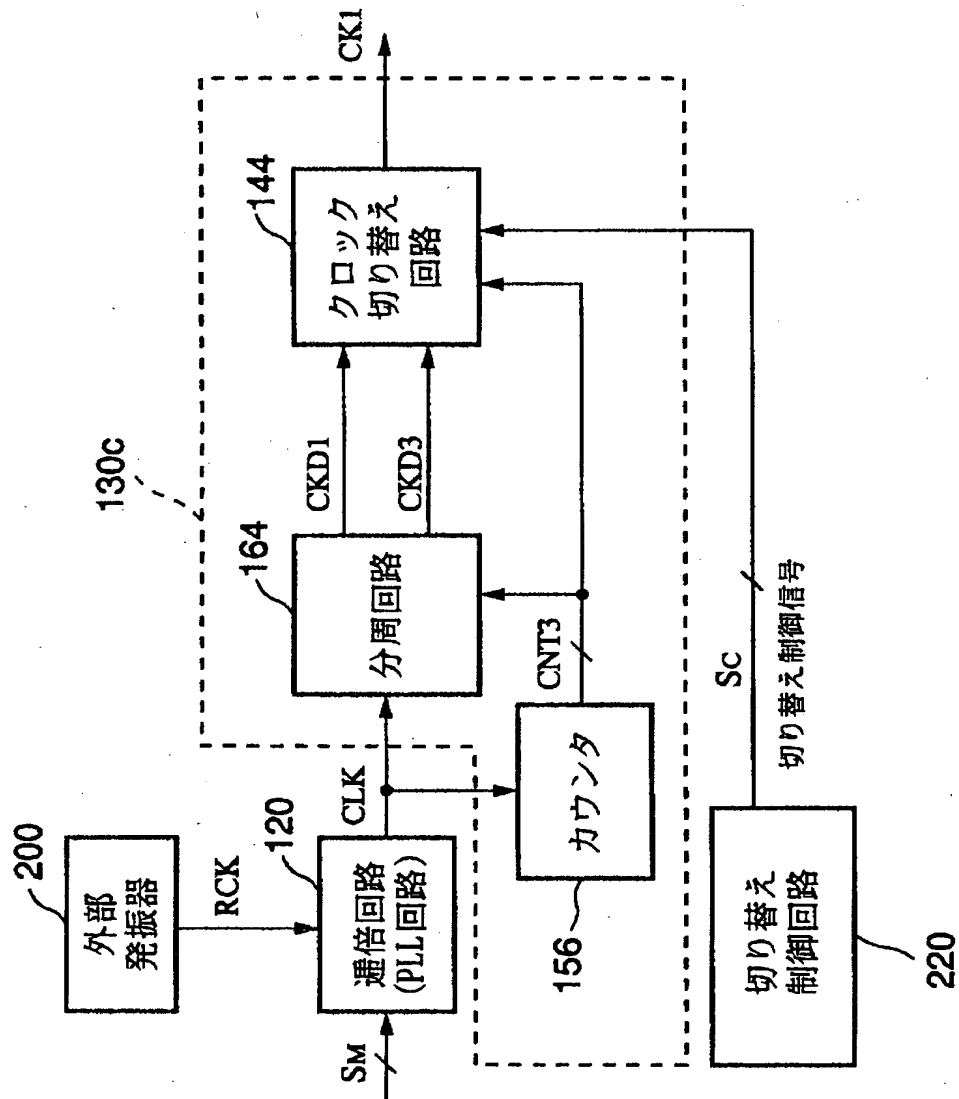
【図15】



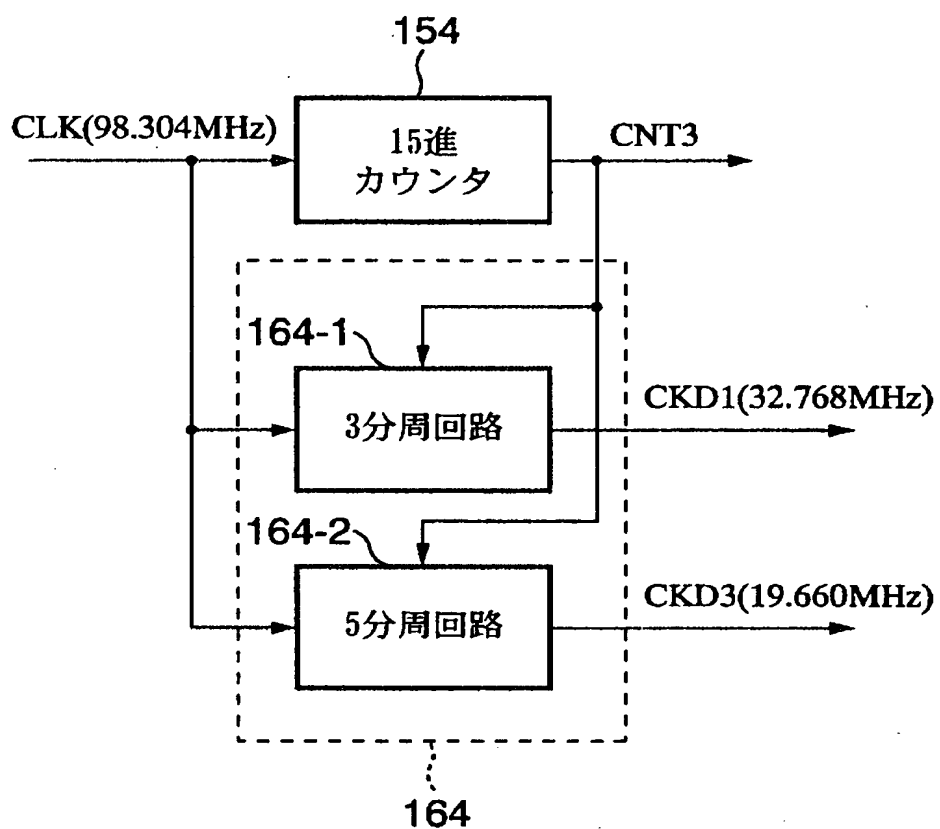
【図 16】



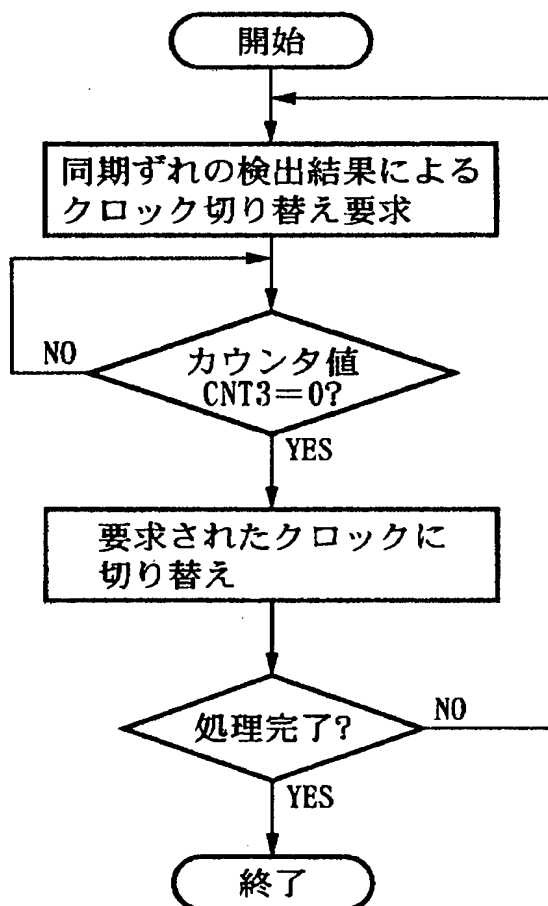
【図 17】



【図18】



【図19】



【書類名】 要約書

【要約】

【課題】 低周波数の外部発振器を用いるだけでそれぞれの処理回路に異なる周波数のクロック信号を供給でき、回路構成を簡略化でき、低消費電力化を実現できるクロック供給回路を提供する。

【解決手段】 通倍回路 1 2 0 によって基準クロック R C K を通倍し、通倍クロック信号 C L K を生成し、受信用クロック生成回路 1 3 0 によって所定の分周比で通倍クロック信号 C L K を分周して、所望の定周波数を持つクロック信号 C K 1 を生成し、D S P 用クロック生成回路 1 3 2 は、負荷判断回路 2 1 0 の判断結果に応じて設定した分周比で、D S P の処理負荷に応じて周波数可変なクロック信号 C K 2 を生成するので、受信信号との同期が保たれるクロック信号 C K 1 並びに処理負荷に応じて周波数が可変に制御されるクロック信号 C K 2 を供給できる。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願2001-174355
受付番号	50100832165
書類名	特許願
担当官	第八担当上席 0097
作成日	平成13年 6月13日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002185
【住所又は居所】	東京都品川区北品川6丁目7番35号
【氏名又は名称】	ソニー株式会社

【代理人】

申請人	
【識別番号】	100094053
【住所又は居所】	東京都台東区柳橋2丁目4番2号 創造国際特許事務所
【氏名又は名称】	佐藤 隆久

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社